DOI: 10.3724/SP.J.1187.2012.00933

相位噪声测量中环路滤波器研究与实现*

陈晓龙 朱 灵 王家礼

(西安电子科技大学机电工程学院, 西安 710071)

摘 要:环路滤波器是鉴相法测量相位噪声系统中决定相位噪声提取性能的重要部件,采用数字实现方法时,测量系统分析带宽和锁相环路工作要求决定了该滤波器为极窄带宽滤波器。针对高性能极窄带宽的设计要求,通过理论分析,提出了适用于相位噪声测量系统的分级多相抽取数字滤波器结构。该结构采用了多级抽取、多相结构、存储器优化、乘法器优化等改进方法。论文中对优化后的滤波器结构与现有滤波器实现结构分别在 FPGA 中进行实现。通过比较两者实验结果,给出的极窄带宽滤波器分级多相实现结构在达到系统指标要求的条件下,占用资源为传统结构的 33.8%,计算量为传统结构的 54.5%。

关键词:相位噪声测量;环路滤波器;多相结构 中图分类号:TM935 文献标识码:A 国家标准学科分类代码:460.403

Study and realization of loop filter of phase noise measurement system

Chen Xiaolong Zhu Ling Wang Jiali

(School of Mechano-electronic Engineering, Xidian University, Xi'an 710071, China)

Abstract: The loop filter is a key component in phase noise test systems, which determines the performance of phase noise extraction. The filter built by digital method is an ultra-narrow-band filter. This paper presents a structure of polyphase decimation filter which is suitable for phase noise measurement system according to the design requirements of high performance and ultra-narrow-band filters. The structure of the filter is improved by multistage decimation, polyphase structure, memory optimization and multiplier optimization. The improved filter and typical filter are built in FPGA respectively. A comparison of the experimental results of the two filters shows that the improved filter requires only 33.8% FPGA resource and 54.5% computational complexity of the typical filter while meeting all system requirements.

Keywords: phase noise measurement; loop filter; polyphase structure

1 引 言

在基于鉴相法的相位噪声测量系统中,要求 被测信号与参考信号之间同频且正交,工程实践 中利用锁相环对参考源频率和相位进行调整来保 证该测试条件^[1-2]。环路滤波器是锁相环的重要组 成部分,它对锁相环调整性能起着重要作用,对相 位噪声测量系统的性能指标也具有重要影响。环路 滤波器对噪声和高频分量起抑制作用^[3],且控制着 环路相位校正的速度和精度^[4]。文献[5]研究了利用 锁相环来提取微波、毫米波信号相位噪声的数学模 型^[6]和频率特性。文献[7]研究了利用数字信号处理 方法消除锁相环路存在的频率误差对相位噪声测

量结果的影响。

按实现方法的不同, 环路滤波器分为模拟环路滤波器和数字环路滤波器。模拟环路滤波器由电阻、电容和运算放大器等线性元件组成, 具有结构简单, 设计方便等优点, 但是模拟器件易受周围环境的干扰(如电磁场、温度等), 且不易调节。而在相位噪声测量系统中, 需要灵活地调节环路滤波器的带宽, 数字环路滤波器在应用中更具灵活性。

在相位噪声测量系统中,为了获得较大的分 析带宽,需要采用很高的数据采样率^[8-10]。而环路 滤波器的输入来自于前端的采样数据,其带宽相 对于信号的采样率来说极窄。极窄带宽给数字滤波 器的设计和实现带来了较大的困难^[11],不能采用

*基金项目:中央高校基本科研业务费专项资金(编号:K50510040011,K50511040009)资助项目。

本文于2012年6月收到。

一般低通滤波器实现结构。文献[12-14]研究了利用 积分梳状(CIC) 滤波器和插值 FIR (IFIR)滤波器实 现窄带宽低通滤波器的方法。

本文在此基础上,提出了一种分级多相抽取 结构来实现相位噪声测量系统中的环路滤波器, 使得滤波器的阶次降低且运算量减少。在使用 FPGA 硬件实现时,通过进一步的结构优化,与直 接多级实现的方法相比,该方法可以节约一半的 资源,且结构简单。

2 原理和方法

数字窄带滤波器一般采用具有线性相位特点的 FIR 滤波器实现。FIR 滤波器的典型实现结构为 延迟乘加型,其滤波器阶次对实现时所需的硬件 资源及累计量化误差具有重要的影响。采用直接法 实现 FIR 滤波器,其阶次反比于过渡带带宽,正比 于采样率^[15]。滤波器的通带越窄其阶次也越高,计 算量也就越大。为降低其计算量,可采用多级结构 实现。

如果抽取率 D 满足式(1):

$$D = \prod_{i=1}^{M} D_i \tag{1}$$

式中: D_i , $i=1,2,\dots,M$ 为第i级抽取倍数, M为总的级数。

这样抽取率为 D 的抽取滤波器可用 M 级抽取 率为 D_i, *i* = 1,2,…, M 的抽取滤波器来实现。由于 D_i远小于 D,因此对每一级抽取滤波器来讲,由 于其抽取率较小过渡带可设置较宽,滤波器的阶 次也可降低。

对本文所讨论的极窄带宽低通滤波器来讲, 输出信号的带宽远小于输入信号的带宽和采样率。 因此通过对输出信号进行抽取处理而降低采样率 可减小数据的冗余和滤波器的计算量。图1所示为 降采样率滤波器的结构框图。



图1 降采样率滤波器结构



典型的3级抽取滤波器的具体结构如图2所示。 如图3所示,根据Noble identities 关系式可知, 将低通滤波与抽取交换顺序,信号处理的过程是 等效的。将抽取处理置于滤波之前,由于滤波器变 量 z 的幂减少 D 倍, 可进一步减小计算量, 这种实现结构称为多相实现结构。





图 3 Noble identities 恒等式 Fig. 3 The Equation of noble identities

对本文设计的极窄带宽滤波器,可在上述多 级实现基础上对每一级采用多相实现结构,这样 可以进一步减少计算量。

多相抽取滤波器结构框图如图 4 所示。



图 4 多相抽取滤波器结构框图

Fig. 4 Block diagram of polyphase decimation filter

3 极窄带宽环路滤波器多相实现设 计实例

为说明本文研究的极窄带宽环路滤波器实现 方法,按以下指标给出该方法的设计示例:采样率 为 250 MHz,通带截止频率为 1 kHz,阻带截止频 率为 10 kHz,通带最大衰减为 0.1 dB,阻带最小衰 减为 20 dB。

由指标可以看出滤波器的通带相对于采样率 来说极窄,归一化通带截止频率为8×10⁻⁶,即通 带带宽为采样率的百万分之八。若采用单级直接实 现结构设计该滤波器则阶次为 N=41 552,其计算量 将很大,当采样率为 250 MHz 时是很难在 FPGA 中实现的。为降低该滤波器的计算量可采用分级结 构实现。 同时,由于输出信号带宽很窄,输出信号可采 用更低的采样率,可在多级低通滤波的同时采用 抽取处理降低信号的采样率以进一步减小计算量。 由上述设计指标可知该滤波器的奈圭斯特率即为 双边带宽加上过渡带宽,为12 kHz。为了保证滤波 器性能,取 25 kHz 作收紧设计。即输入信号采样 率为 250 MHz,输出信号采样率取为 25 kHz。在低 通滤波后可将采样率将为原来的 1/10 000。

为实现计算量最优的分级降采样率滤波器, 将分级数和每级的抽取率作为优化问题,即给定 起始采样率、总的抽取倍数、每一级滤波器的通带 截止频率、阻带截止频率以及通带误差容限和阻带 误差容限后,改变其余自由参数(分级数和每级的 抽取率),从而得到最小的总阶次和计算量。

根据滤波器的设计指标,通过解最优化问题, 将该抽取滤波器分为四级来实现。计算出四级的阶 次分别是:第一级阶次 N₁=31;第二级阶次 N₂=26; 第三极阶次 N₃=7;第四级阶次 N₄=22。四级滤波器 总的阶次为 86 阶,是单级实现时的 0.159%,结构 复杂度大大降低。四级滤波器每一级的抽取率为: 第一级 D₁=20,第二级 D₂=20,第三级 D₃=5,第四 级 D₄=5。图 5 为四级抽取滤波器实现的框图。





在四级降采样率实现的基础上对每一级滤波器 采用多相结构实现。多相分解要求将每一级 FIR 滤 波器的系数分成 N/D 组,且 N/D 为整数,其中 N 为 每一级 FIR 滤波器阶次,D 为每一级的抽取率。若阶 次 N 不等于 D 的整数倍,可对其补零以保证 N/D 为 整数,这样并不影响计算结果。经过对各级滤波器阶 次补零后,各级阶次分别为:第一级阶次 N₁=40,第 二级阶次 N₂=40,第三极阶次 N₃=10,第四级阶次 N₄=30。图 6 所示为四级抽取滤波器的多相实现结构。

在FPGA中的实现时,可通过对滤波器的实现 结构优化来进一步减小计算量,以下以第一级为 例讨论该滤波器在 FPGA 中实现时的结构优化。



图 6 四级多相抽取滤波器实现结构 Fig. 6 The Structure of Four-level Polyphase Decimation Filter

第一级滤波器的参数是输入信号采样率为 250M, 通带截止频率为 1kHz, 阻带截止频率为 12 490 kHz, 阶次为 40 阶, 抽取率为 20。第一级抽取滤波器多相结 构实现的标准形式如图 7 所示。

在 FPGA 实现时可对图 7 的标准多相结构进行 进一步的优化,以在保证滤波器性能的条件下优 化对资源的占用。如图 7 所示,滤波器分为 20 路 多相实现时,每路子滤波器进行乘法累加运算后 由一个累加器合并为一路输出,因此可将各路共 用累加器并行进行乘法累加运算,以节约对存储 器的使用,优化后的结构如图 8 所示。



图 7 第一级滤波器的多相结构 Fig. 7 The polyphase structure of the first level filter



图 8 第一级滤波器多相结构的存储器优化 Fig. 8 Polyphase structure of the first level filter with memory optimizing

如图 8 所示, 20 路多相滤波结构中, 每路使用 2 个乘法器, 但在滤波过程中, 这 20 路是分时串行 完成的, 因此可进一步分时共享一路乘法器, 在时 钟控制下通过使用不同的系数来实现 20 路的多相 滤波运算, 可在较大程度上节约对乘法器资源的 使用, 实现结构如图 9 所示。

其他三级可类似第一级同样的优化方法实现, 可得到本文的极窄带滤波器优化后的 FPGA 实现 结构。



图 9 第一级滤波器多相结构的乘法器优化 Fig. 9 Polyphase structure of the first level filter with multiplier optimizing

4 仿真和实验

为说明本文提出的多级多相抽取滤波器的性能, 实验中分别在 FPGA 中采用多级直接型结构和优化 后的多级多相结构实现了本文第三部分中给出指标 的滤波器。实验中采用的 FPGA 为 Altera 公司的 EP1C12Q240C6, 输入信号如式(2)所示。

 $\frac{\sin(2\pi \cdot 1 \times 10^{3}t) + \sin(2\pi \cdot 11 \times 10^{3}t) + \sin(2\pi \cdot 115 \times 10^{3}t)}{\sin(2\pi \cdot 615 \times 10^{3}t) + \sin(2\pi \cdot 12491 \times 10^{3}t)}$ (2)

4.1 验证实验

为说明优化后的多级多相结构的正确性,图 10和图11分别给出了采用多级直接型结构和优化 后的多级多相结构实现的滤波器在式(2)为输入时 每级滤波器的输出。比较图 10 和图 11 可知,两种 结构实现时每级信号的输出完全相同,均正确滤 除了相应频率的信号,该结果说明本文提出的优 化后的多级多相结构是正确的。



图 10 直接型实现的环路滤波器仿真结果 Fig. 10 Simulation results of the direct structure loop filter



图 11 多相结构实现的环路滤波器仿真结果 Fig. 11 Simulation results of the polyphase structure loop filter

4.2 性能实验

表 1 列出了采用多级直接型结构和优化后多 级多相结构在 FPGA 中实现该滤波器时资源的耗 费情况。由表 1 可知优化后的多级多相结构占用逻 辑单元是多级直接型结构用逻辑单元的 33.8%。

表 1 直接型实现与多级多相实现占用资源比较 Table 1 Occupied resource comparison between the direct structure and the polyphase structure filter

| | 直接型实现 | 多级多相实现 |
|---------------|------------------|-----------------|
| FPGA 型号 | EP1C12Q240C6 | EP1C12Q240C6 |
| Quartus II 版本 | 11.0 Build 157 | 11.0 Build 157 |
| 逻辑单元 | 10644/12060(88%) | 3595/12060(30%) |
| 最高时钟 | 36.64 MHz | 67.24 MHz |

表 1 也给出了采用多级直接型结构和优化后的多级多相结构在 FPGA 中实现该滤波器时该芯片所能达到的最高工作频率。由表 1 可知,采用多级直接型结构时最高工作频率为 36.64 MHz,采用优化后的多级多相结构时最高工作频率为 67.24 MHz。在相同的芯片上采用优化后的多级多相结构系统可以达到更高的工作频率。

5 结 论

高性能极窄带环路滤波器是相位噪声测量系 统中的关键模块, 当采用数字方式实现该滤波器 时典型结构很难满足该滤波器的实现。本文通过理 论分析,提出了适用于相位噪声测量系统中极窄 带宽环路滤波器设计的优化后多级多相结构。通过 在相同的 FPGA 芯片中分别实现采用多级直接型 结构和优化后多级多相结构的相同参数的滤波器, 改进后的结构滤波性能与直接型结构完全相同, 而改进后结构实现时所占用的逻辑单元数量为直 接型的 33.8%, 计算量为直接型的 54.5%。改进后 的环路滤波器结构可应用于鉴相器的数字环路滤 波器设计,在保证滤波器性能的条件下可有效降 低环路滤波器的计算量,提高设计的灵活性,降低 成本。进一步的研究可继续考虑该结构与 FPGA 中 需要实现的多频带滤波结构的联合优化,进一步 提高其实现效率和性能。目前该实现方法已成功应 用于我们设计的相位噪声测试系统中。

参考文献:

- LANCE A L, SEAL W D, LABAAR F. Phase noise and AM noise measurements in the frequency domain [J]. Infrared and Millimeter Waves, 1984, 11: 239-289.
- [2] GHEIDI H, BANAI A. A new phase shifter-less delay line method for phase noise measurement of microwave oscillators [C]. 2008 38th European Microwave Conference, Amsterdam, Netherlands, 2008: 325-328.
- [3] WALLS F L. Suppressed carrier based pm and AM noise measurement techniques [C]. Proceedings of the 1997 IEEE International Frequency Control Symposium, Orlando, 1997: 485-492.
- [4] 卢辉斌,张月强,杨雪峰. 一种新型 PID 控制的全数字 锁相环的设计与实现[J]. 电子技术应用, 2010, 38(11): 56-58.
 LU H B, ZHANG Y Q, YANG X F. The design and im-

plementation of a novel all digital phase-locked loop with PID control [J]. Application of Electronic Technique, 2010, 38(11): 56-58.

- [5] 蔡竟业,周正中,张有正.微波、毫米波相位噪声测试 技术—相位噪声的提取及误差校正[J].电子测量与仪 器学报,2000,14(4):29-33. CAI J Y, ZHOU ZH ZH, ZHANG Y ZH. The phase noise measurement technique of microwave and millimeter-wave signal—the extract of phase noise and the error-correction [J]. Journal of Electronic Measurement and Instroment, 2000, 14(4): 29-33.
- [6] CHORTI A, BROOKES M. A spectral model for RF oscillators with power-law phase noise [J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and

Applications, 2006, 53(9): 1989-1999.

- [7] CHEN X L, ZHANG X F, WANG J L. A new algorithm for eliminating the frequency difference in phase noise measurement of the microwave signal [J]. Progress in Electromagnetics Research M, 2012, 23: 13-28.
- [8] 陈晓龙,王家礼,孙璐,等.脉冲调制信号相位噪声测量中的功率谱估计方法[J].西安电子科技大学学报,2012,39(4):175-181.
 CHEN X L, WANG J L, SUN L, et al. A power spectrum density estimation method for pulsed carrier phase noise measurements [J]. Journal of Xidian University, 2012, 39(4):175-181.
- [9] 朱祥维, 孙广富, 雍少为, 等. 全数字相位噪声合成仪 器测量系统[J]. 仪器仪表学报, 2008, 29(9): 1990-1995. ZHU X W, SUN G F, YONG SH W, et al. All Digital Phase Noise Synthesis Instrument Measurement System [J]. Chinese Journal of Scientific Instrument, 2008, 29(9): 1990-1995.
- [10] 陈永良,刘大健,余环虎,等.相关零拍法相位噪声谱测量系统的研究与实现[J]. 仪器仪表学报,2000,21(2):215-217.
 CHEN Y L, LIU D J, YU H H, et al. The Study of the CZB measuring system for phase-noise spectrum [J]. Chinese Journal of Scientific Instrument, 2000, 21(2):215-217.
- [11] 姚福安, 徐衍亮. 高性能多阶有源带通滤波器设计[J]. 电子测量与仪器学报, 2005, 19(2): 20-25.
 YAO F A, XU Y L. Design of high performance higher-order active band-pass filter [J]. Journal of Electronic Measurement and Instrument, 2005, 19(2): 20-25.
- [12] 姜岩峰,张东,于明. 数字接收机中 CIC 滤波器的设计[J].
 电子测量与仪器学报, 2011, 25(8): 671- 675.
 JIANG Y F, ZHANG D, YU M. Application of CIC filter in digital receiver [J]. Journal of Electronic Measurement and Instrument, 2011, 25(8): 671-675.
- [13] 申东,罗进文. 数字下变频器中多级抽取滤波器的设计 与实现[J]. 兰州交通大学学报, 2004, 23(4): 71-73. SHEN D, LUO J W. Design and implementation of multistage decimation filter in digital down converter [J]. Journal of Lanzhou Jiaotong University, 2004, 23(4): 71-73.
- [14] 孙肖子, 任爱锋, 郭万有, 等. 基带信号数字滤波器的 FPGA 实现[J]. 仪器仪表学报, 2004, 25(6): 773-776. SUN X Z, REN AI F, GUO W Y, et al. FPGA realization of digital filter for I/Q baseband generator [J]. Chinese Journal of Scientific Instrument, 2004, 25(6): 773-776.
- [15] 闻翔,陈国杰,王志刚. 信号分析系统中的极窄带滤波器的设计与实现[J]. 微计算机信息,2005,21(8):104-105.
 WEN X, CHEN G J, WANG ZH G. Design and implementation for a start for EB. Chemical and implementation.

tation of very sharp transition FIR filters in signal analyze system [J]. Control & Automation, 2005, 21(8): 104-105.

作者简介:

陈晓龙:1997年于西北工业大学获得学士学位,2004年 于西北工业大学获得硕士学位,现为西安电子科技大学副教 授,仪器科学与技术专业博士研究生,主要研究方向为信号 分析与智能仪器、相位噪声测量技术。

E-mail: xlchen@mail.xidian.edu.cn

Chen Xiaolong: received B.Sc. and M.Sc. from Northwestern Polytechnical University (NWPU) in 2002 and 2005, respectively. Now, he is an associate professor and Ph. D. candidate in instrument science and technology of Xidian University. His main research interests include signal analysis, intelligent instrument and the technology of phase noise measurement. **朱** 灵:2010年于西安电子科技大学获得学士学位,现 为西安电子科技大学硕士研究生,主要研究方向为信号分析 和测控技术。

E-mail: zhuling@stu.xidian.edu.cn

Zhu Ling: received B.Sc. from Xidian University in 2010. Now, he is a master degree candidate in instrument science and technology of Xidian University. His main research interests include signal analysis, measurement and control technology.

InfiniiVision 4000 X 系列为您带来全新的示波器使用体验 业界首款具有电容式触摸屏和一'触'即发能力的最新型号

安捷伦科技公司日前宣布推出突破性的 InfiniiVision 4000 X 系列多功能示波器。在采用嵌入式操作系统的同类产品当中,其灵活性和易用性是无与伦比的。

InfiniiVision 4000 X 系列其核心功能是示波器,除此之外还内置了另外4种仪器硬件,这4种仪器硬件可以随时被升级或激活,是一种很好的投资保护。

4000X 系列共 16 个型号,带宽涵盖 200 MHz~1.5 GHz。标配的性能领先业界,高达 100 万次波形/秒的 波形捕获率,不仅可以连续捕获,还可连续存储,标配分段存储器,核心技术是 MegaZoom IV 智能存储器技术。其次是 12 英寸电容式触摸屏,不仅是业界同类产品最大尺寸的显示屏,其独有的 InfiniiScan Zone 触发能力基于触发屏,手指一滑即可完成触发。

安捷伦副总裁兼示波器产品部总经理 Jay Alexander 表示: "4000X 系列示波器可使工程师完美地找到设计中最难以发现的问题。工程师通过直观的容性触摸屏界面更快地找出问题所在,基于硬件的种种设计让客户获得全新的示波器使用体验。

4000 X 系列的主要特点是速度快、易用性和高集成度。4000X 系列凭借业界最快的波形捕获率始终保 持高速运行,尤其是同时打开逻辑通道、协议解码、数学函数或激活测量的时候。这种速率可使示波器捕获 随机或间歇性信号异常的几率达到最高,而捕获率率偏低的示波器无法察觉这些事件。

4000 X 系列专为触屏操作而设计,可使用户轻松、快速地选择测试项目。利用 InfiniiScan Zone,用户只需在感兴趣的信号周围绘制一个方框,便可完成触发设置:用户可以根据在某个位置信号出现或不出现,进行触发。为进一步提高工作效率,示波器还提供字母数字按键的触摸软键盘(替代了乏味的旋钮操作),并通过触摸屏交互更灵活地显示测量信息。

4000 X 系列集 5 种仪器功能于一身,包括示波器、数字通道(MSO)、协议分析、数字电压表和双通道 WaveGen 函数/任意波形发生器。4000 X 系列还支持多种常见的可选应用: MIL-STD 1553 和 ARINC 429; I2S; CAN/LIN; FlexRay; RS232/422/485/UART; I2C/ SPI; USB 2.0 高速、全速和低速触发与分析(首款基于硬件 的 USB 触发/解码示波器解决方案)。

InfiniiVision 4000 X 系列包括 200MHz、350MHz、500MHz、1GHz 和 1.5GHz 型号。所有型号标配智 能 4 Mpts 存储器, 并标配分段存储。

| | 技术指标概述: DSO/MSO 4000 X 系列数字存储器/混合信号示波器 | | | | | | | | | | |
|--------|--|------------------------------|-----------------------------|--------|---------|--------|---------|--------|---------|--|--|
| | | 4022A | 4024A | 4032A | 4034A | 4052A | 4054A | 4104A | 4154A | | |
| 带宽 (-3 | 带宽 (-3 dB) | | 200 MHz | | 350 MHz | | 500 MHz | | 1.5 GHz | | |
| 输入通道 | DSOX | 2 | 4 | 2 | 4 | 2 | 4 | 4 | 4 | | |
| 111八四旦 | MSOX | 2 + 16 | 4 + 16 | 2 + 16 | 4 + 16 | 2 + 16 | 4 + 16 | 4 + 16 | 4 + 16 | | |
| 最大采样 | 最大采样率 | | 5 GSa/s, 半通道; 2.5 GSa/s 全通道 | | | | | | | | |
| 最大存储器 | 深度 | 标配 4 Mpts,标配分段存储器 | | | | | | | | | |
| 显示屏尺寸和 | 和类型 | 12.1 英寸高分辨率电容式触摸屏 | | | | | | | | | |
| 波形更新; | 速率 | > 100 万个波形/秒,并可连续存储 1000 个波形 | | | | | | | | | |

有关 InfiniiVision 4000 X 系列示波器和安捷伦全线示波器产品的信息,请访问 www.agilent.com/find/ 4000X-Series。