

# 第 11 章 同步原理

## 11.1 概述

## 11.2 载波同步

## 11.3 位同步

## 11.4 群同步

[返回主目录](#)

# 第 11 章 同步原理

## 11.1 概述

所谓同步是指收发双方在时间上步调一致，故又称定时。在数字通信中，按照同步的功用分为：**载波同步、位同步、群同步和网同步**。

### (1) 载波同步。

载波同步是指在相干解调时，接收端需要提供一个与接收信号中的调制载波同频同相的相干载波。这个载波的获取称为**载波提取或载波同步**。在第4章的模拟调制以及第7章的数字调制学习过程中，我们了解到要想实现相干解调，必须有相干载波。因此，载波同步是实现相干解调的先决条件。

## (2) 位同步。

**位同步**又称**码元同步**。在数字通信系统中，任何消息都是通过一连串码元序列传送的，所以接收时需要知道每个码元的起止时刻，以便在恰当的时刻进行取样判决。例如图 8 - 9 和 8 - 11 所示的两种最佳接收机结构中，需要对积分器或匹配滤波器的输出进行抽样判决，判决时刻应对准每个接收码元的终止时刻。这就要求接收端必须提供一个位定时脉冲序列，该序列的重复频率与码元速率相同，相位与最佳取样判决时刻一致。我们把提取这种定时脉冲序列的过程称为**位同步**。

### (3) 群同步。

群同步包含字同步、句同步、分路同步，它有时也称**帧同步**。在数字通信中，信息流是用若干码元组成一个“字”，又用若干个“字”组成“句”。在接收这些数字信息时，必须知道这些“字”、“句”的起止时刻，否则接收端无法正确恢复信息。对于数字时分多路通信系统，如PCM30/32电话系统，各路信码都安排在指定的时隙内传送，形成一定的帧结构。为了使接收端能正确分离各路信号，在发送端必须提供每帧的起止标记，在接收端检测并获取这一标志的过程，称为帧同步。因此，在接收端产生与“字”、“句”及“帧”起止时刻相一致的定时脉冲序列的过程统称为群同步。

#### (4) 网同步。

在获得了以上讨论的载波同步、位同步、群同步之后，两点间的数字通信就可以有序、准确、可靠地进行了。然而，随着数字通信的发展，尤其是计算机通信的发展，多个用户之间的通信和数据交换，构成了数字通信网。显然，为了保证通信网内各用户之间可靠地通信和数据交换，**全网必须有一个统一的时间标准时钟，这就是网同步的问题。**

同步也是一种信息，按照获取和传输同步信息方式的不同，又可分为**外同步法**和**自同步法**。

##### (1) 外同步法。

由发送端发送专门的同步信息（常被称为**导频**），接收端把这个导频提取出来作为同步信号的方法，称为外同步法。

## (2) 自同步法。

发送端不发送专门的同步信息，接收端设法从收到的信号中提取同步信息的方法，称为自同步法。

自同步法是人们最希望的同步方法，因为可以把全部功率和带宽分配给信号传输。**在载波同步和位同步中，两种方法都有采用，但自同步法正得到越来越广泛的应用。而群同步一般都采用外同步法。**

同步本身虽然不包含所要传送的信息，但只有收发设备之间建立了同步后才能开始传送信息，所以**同步是进行信息传输的必要和前提**。同步性能的好坏又将直接影响着通信系统的性能。如果出现同步误差或失去同步就会导致通信系统性能下降或通信中断。因此，同步系统应具有比信息传输系统更高的可靠性和更好的质量指标，如同步误差小、相位抖动小以及同步建立时间短，保持时间长等。



# 11.2 载波同步

## 11.2.1 直接法

直接法也称自同步法。这种方法是设法从接收信号中提取同步载波。有些信号，如DSB-SC、PSK等，它们虽然本身不直接含有载波分量，但经过某种非线性变换后，将具有载波的谐波分量，因而可从中提取出载波分量来。下面介绍几种常用的方法。

### 1. 平方变换法和平方环法

此方法广泛用于建立抑制载波的双边带信号的载波同步。设调制信号 $m(t)$ 无直流分量，则抑制载波的双边带信号为



$$s(t) = m(t) \cos \omega_c t \quad (11.2 - 1)$$

接收端将该信号经过非线性变换——平方律器件后得到

$$e(t) = [s(t)]^2 = [m(t) \cos \omega_c t]^2 = \frac{1}{2} m^2(t) + \frac{1}{2} m^2(t) \cos 2\omega_c t \quad (11.2 - 2)$$

上式的第二项包含有载波的倍频 $2\omega_c$ 的分量。若用一窄带滤波器将 $2\omega_c$ 频率分量滤出，再进行二分频，就可获得所需的相干载波。基于这种构思的平方变换法提取载波的方框图如图 11 - 1 所示。

若 $m(t) = \pm 1$ ，则抑制载波的双边带信号就成为二相移相信号（2PSK），这时

$$e(t) = \frac{1}{2} + \frac{1}{2} \cos 2\omega_c t$$

因而，同样可以通过图 11 - 1 所示的方法提取载波。



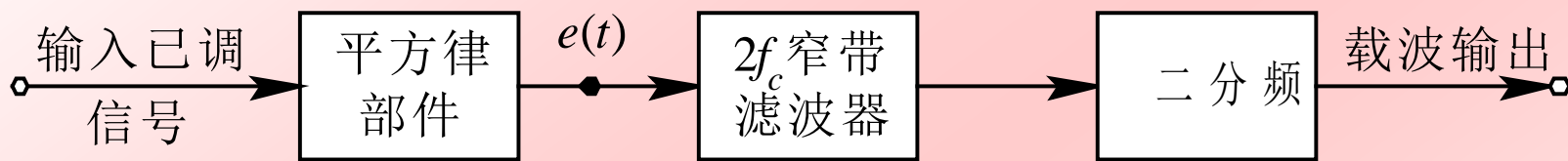


图 11 -1 平方变换法提取载波

在实际中，伴随信号一起进入接收机的还有加性高斯白噪声，为了改善平方变换法的性能，使恢复的相干载波更为纯净，图 11 - 1 中的**窄带滤波器常用锁相环代替**，构成如图 11 - 2 所示的方框图，称为**平方环法**提取载波。由于锁相环具有良好的跟踪、窄带滤波和记忆功能，平方环法比一般的平方变换法具有更好的性能。因此，平方环法提取载波得到了较广泛的应用。

我们以2PSK信号为例，来分析采用平方环的情况。  
2PSK信号平方后得到

$$e(t) = \left[ \sum_n a_n g(t - nT_s) \right]^2 \cos^2 \omega_c t$$

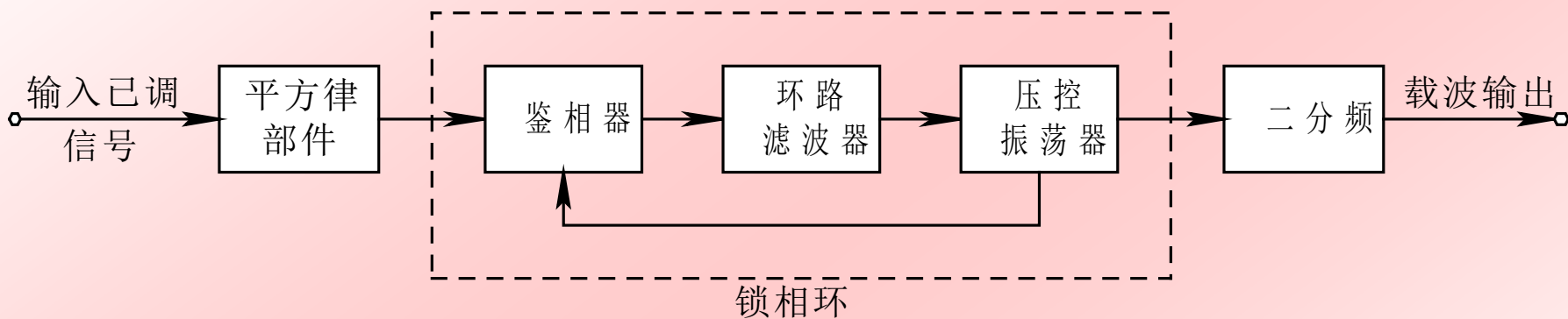


图11-2 平方环法提取载波

当 $g(t)$ 为矩形脉冲时，有

$$e(t) = \frac{1}{2} + \frac{1}{2} \cos 2\omega_c t \quad (11.2 - 5)$$

假设环路锁定，VCO的频率锁定在 $2\omega_c$ 频率上，其输出信号为

$$v_o(t) = A \sin(2\omega_c t + 2\theta) \quad (11.2 - 6)$$

这里， $\theta$ 为相位差。经鉴相器（由相乘器和低通滤波器组成）后输出的误差电压为

$$v_d = K_d \sin 2\theta \quad (11.2 - 7)$$

式中， $K_d$ 为鉴相灵敏度，是一个常数。 $v_d$ 仅与相位差有关，它通过环路滤波器去控制压控振荡器的相位和频率，**环路锁定之后， $\theta$ 是一个很小的量**。因此，VCO的输出经过二分频后，就是所需的相干载波。

应当注意，载波提取的方框图中用了一个二分频电路，由于分频起点的不确定性，使其输出的载波相对于接收信号相位有 $180^\circ$ 的**相位模糊**。相位模糊对模拟通信关系不大，因为人耳听不出相位的变化。但对数字通信的影响就不同了，它有可能使2PSK相干解调后出现“反向工作”的问题，克服相位模糊度对相干解调影响的最常用而又有效的方法是对调制器输入的信息序列进行差分编码，即采用相对移相（2DPSK），并且在解调后进行差分译码恢复信息。

## 2. 同相正交环法

同相正交环法又叫科斯塔斯（Costas）环，它的原理框图如图 11 - 3 所示。在此环路中，压控振荡器（VCO）提供两路互为正交的载波，与输入接收信号分别在同相和正交两个鉴相器中进行鉴相，经低通滤波之后的输出均含调制信号，两者相乘后可以消除调制信号的影响，经环路滤波器得到仅与相位差有关的控制压控，从而准确地对压控振荡器进行调整。

设输入的抑制载波双边带信号为 $m(t)\cos\omega_c t$ ，并假定环路锁定，且不考虑噪声的影响，则VCO输出的两路互为正交的本地载波分别为

$$v_1 = \cos(\omega_c t + \theta) \quad (11.2 - 8)$$

$$v_2 = \sin(\omega_c t + \theta)$$

式中， $\theta$ 为VCO输出信号与输入已调信号载波之间的相位误差。

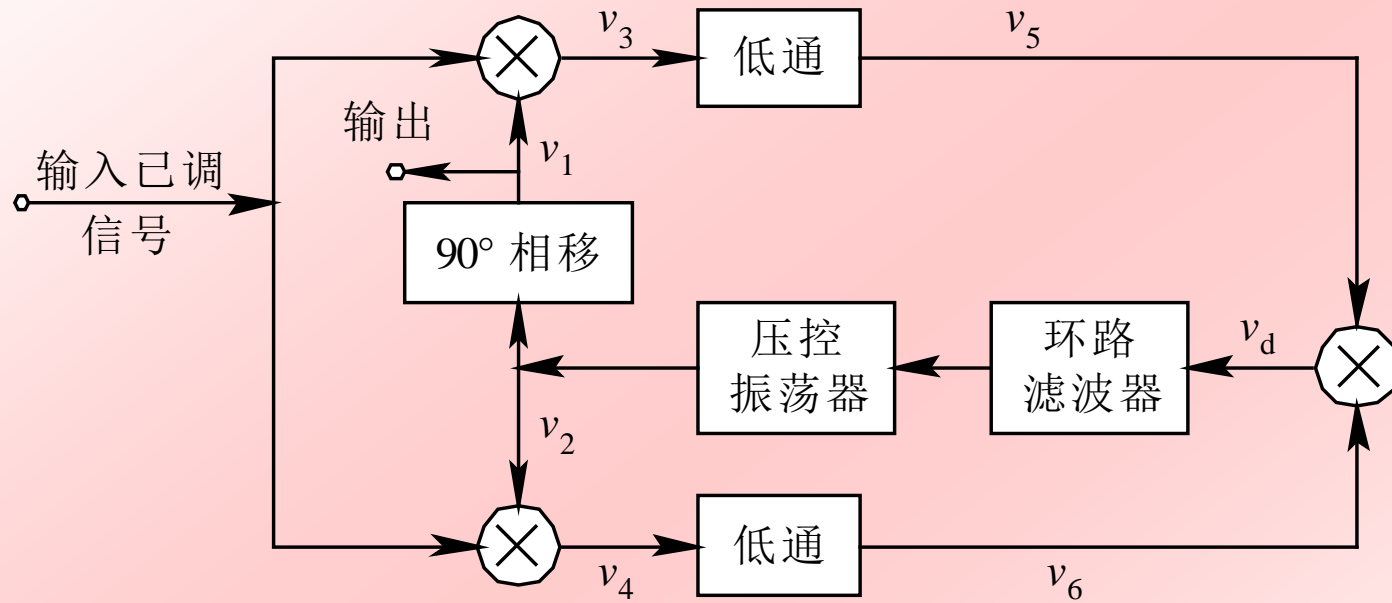


图11-3 Costas 环法提取载波



信号 $m(t) \cos\omega_c t$ 分别与 $v_1$ 、 $v_2$ 相乘后得

$$v_3 = m(t) \cos\omega_c t * \cos(\omega_c t + \theta) = \frac{1}{2} m(t) [\cos\theta + \cos(2\omega_c t + \theta)]$$

$$v_4 = m(t) \cos\omega_c t * \sin(\omega_c t + \theta) = \frac{1}{2} m(t) [\sin\theta + \sin(2\omega_c t + \theta)]$$

经低通滤波后

$$v_5 = \frac{1}{2} m(t) \cos\theta$$

$$v_6 = \frac{1}{2} m(t) \sin\theta$$

低通滤波器应该允许 $m(t)$ 通过。 $v_5$ 、 $v_6$ 相乘产生误差信号

$$v_d = \frac{1}{8} m^2(t) \sin 2\theta$$

当 $m(t)$ 为矩形脉冲的双极性数字基带信号时， $m^2(t)=1$ 。即使 $m(t)$ 不为矩形脉冲序列，式中的 $m^2(t)$ 可以分解为直流和交流分量。由于锁相环作为载波提取环时，其环路滤波器的带宽设计的很窄，只有 $m(t)$ 中的直流分量可以通过，因此 $v_d$ 可写成

$$v_d = K_d \sin 2\theta \quad (11.2 - 15)$$

如果我们把图 11 - 3 中除环路滤波器（LF）和压控振荡器（VCO）以外的部分看成一个等效鉴相器（PD），其输出 $v_d$ 正是我们所需要的误差电压。

它通过环路滤波器滤波后去控制VCO的相位和频率，最终使稳态相位误差减小到很小的数值，而没有剩余频差（即频率与 $\omega_c$ 同频）。此时VCO的输出 $v_1 = \cos(\omega_c t + \theta)$ 就是所需的同步载波，而 $v_5$ 就是解调输出

$$v_5 = \frac{1}{2} m(t) \cos \theta \approx \frac{1}{2} m(t)$$

比较式（11.2 - 7）与式（11.2 - 15）可知，Costas环与平方环具有相同的鉴相特性（ $v_d - \theta$ 曲线），如图 11 - 4 所示。由图可知， $\theta = n\pi$ （ $n$ 为任意整数）为PLL的稳定平衡点。PLL工作时可能锁定在任何一个稳定平衡点上，考虑到在周期 $\pi$ 内 $\theta$ 取值可能为0或 $\pi$ ，这意味着恢复出的载波可能与理想载波同相，也可能反相。

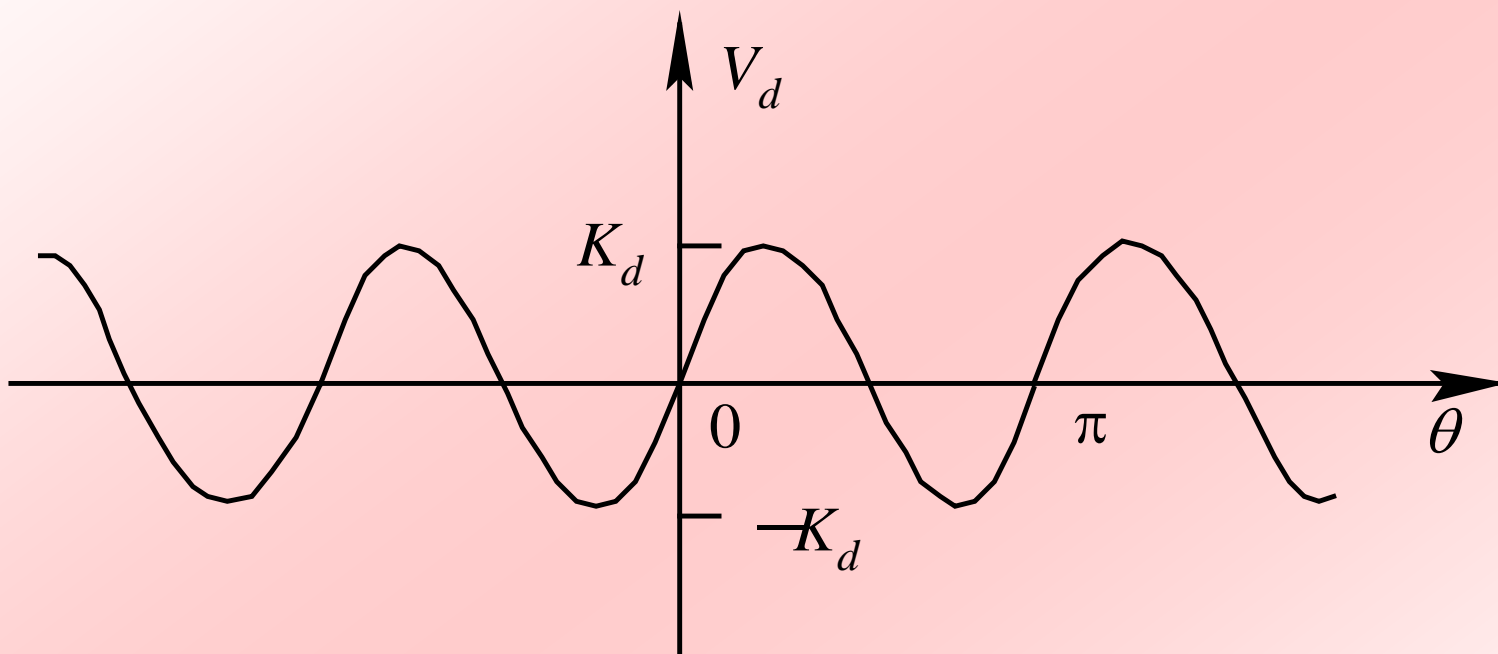


图11-4 平方缓和Costas 环得鉴相特性

这种相位关系的不确定性，称为**0,  $\pi$ 的相位模糊度**。

这是用PLL从抑制载波的双边带信号（2PSK或DSB）中提取载波时不可避免的共同问题。不但在上述两种环路中存在，在其他类型的载波恢复环路，如逆调制环、判决反馈环、松尾环等性能更好的环路中，也同样存在；不但在2PSK时存在，在多相移相信号（MPSK）也同样存在相位模糊度问题。Costas环与平方环都是利用锁相环（PLL）提取载波的常用方法。Costas环与平方环相比，虽然在电路上要复杂一些，但它的工作频率即为载波频率，而平方环的工作频率是载波频率的两倍，显然当载波频率很高时，工作频率较低的Costas环易于实现；其次，当环路正常锁定后，Costas环可直接获得解调输出，而平方环则没有这种功能。

### 3. 多相移相信号（MPSK）的载波提取

当数字信息通过载波的M相调制发送时，可将上述方法推广，以获取同步载波。一种基于平方变换法或平方环法的推广，是M次方变换法或M方环法，如图 11 - 5 所示。例如从4PSK信号中提取同步载波的四次方环，其鉴相器输出的误差电压为

$$v_d = K_d \sin 4\theta \quad (11.2 - 16)$$

因此， $\theta = n\pi$ （n为任意整数）为四次方环的稳定平衡点，即有0、 $\pi/2$ 、 $\pi$ 、 $3\pi/2$ 的稳定工作点。这种现象称为四重相位模糊度，或称**90°的相位模糊**。同理，M次方环具有M重相位模糊度，即所提取的载波具有**360°/M的相位模糊**。解决的方法是采用MDPSK。

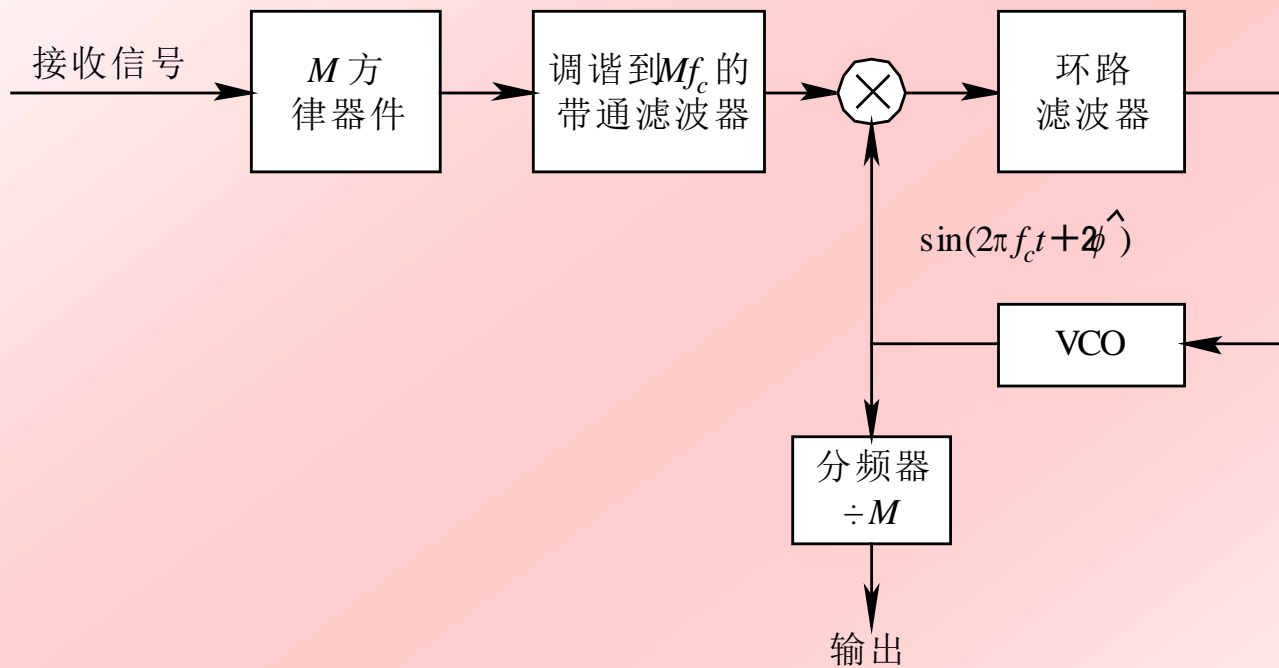


图 11 - 5  $M$  方环提取载波



另一种方法基于Costas环的推广，图 11 - 6 示出了从4PSK信号中提取载波的Costas环。可以求得它的等效鉴相特性与式（11.2 - 16）一样。提取的载波也具有 $90^\circ$ 的相位模糊。这种方法实现起来比较复杂，在实际中一般不采用。

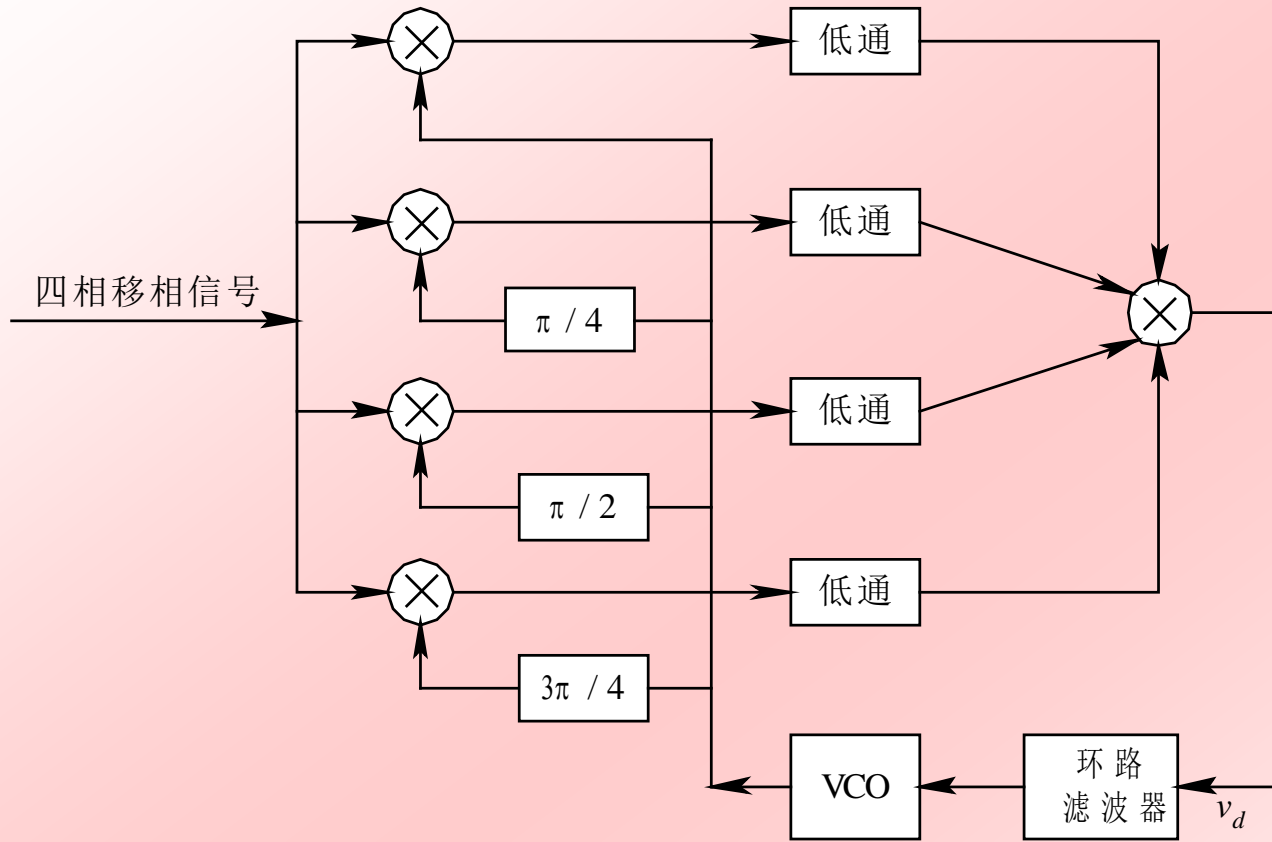


图 11 -6 四相Costas环法的载波提取

## 11.2.2插入导频法

抑制载波的双边带信号（如DSB、等概的2PSK）本身不含有载波，残留边带（VSB）信号虽含有载波分量，但很难从已调信号的频谱中把它分离出来。对这些信号的载波提取，可以用插入导频法（外同步法）。尤其是单边带（SSB）信号，它既没有载波分量又不能直接法提取载波，只能用插入导频法。因此有必要对插入导频法作一些介绍。

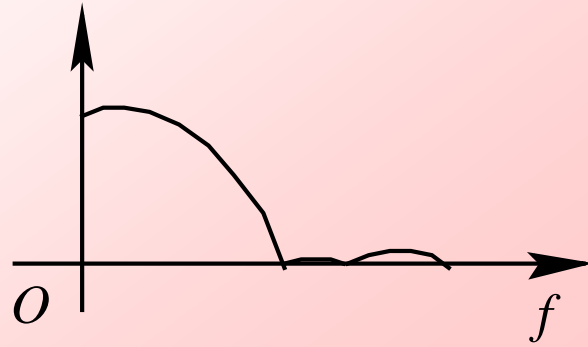
### 1. 在抑制载波的双边带信号中插入导频

所谓插入导频，就是在已调信号频谱中额外插入一个低功率的线谱，以便接收端作为载波同步信号加以恢复，此线谱对应的正弦波称为导频信号。采用插入导频法应注意：

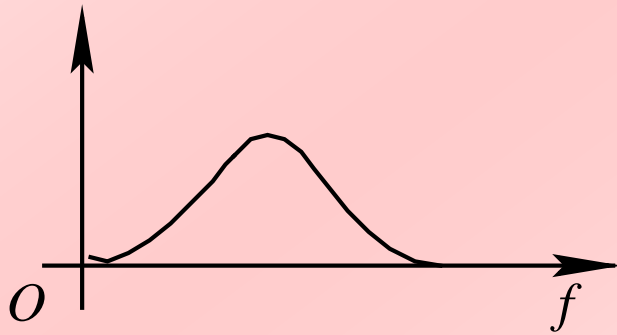
😊插入原则:

在已调信号频谱中的零点插入导频,且要求其附近的信号频谱分量尽量的小,这样便于插入导频以及解调时易于滤除它。

对于DSB或者SSB信号,载频位置信号频谱为0;但对于2PSK或2DPSK,载频 $f_c$ 附件有很大频谱分量。对于这样的信号,可以参考第5章介绍的第IV类部分响应,在调制以前先对基带信号进行相关编码。相关编码的作用是把如图 11 - 7 (a) 所示的基带信号频谱函数变换成如图 11 - 7(b)所示的频谱函数, 这样经过双边带调制以后可以得到如图 11 - 8 所示的频谱函数。由图可见, 在 $f_c$ 附近的频谱函数很小, 且没有离散谱, 这样可以在 $f_c$ 处插入频率为 $f_c$ 的导频(这里仅画出正频域)。但应注意, 在图 11 - 8 中插入的导频并不是加于调制器的那个载波, 而是将该载波移相 $90^\circ$ 后的所谓“正交载波”。



(a)



(b)

图 11 - 7 相关编码进行频谱变换

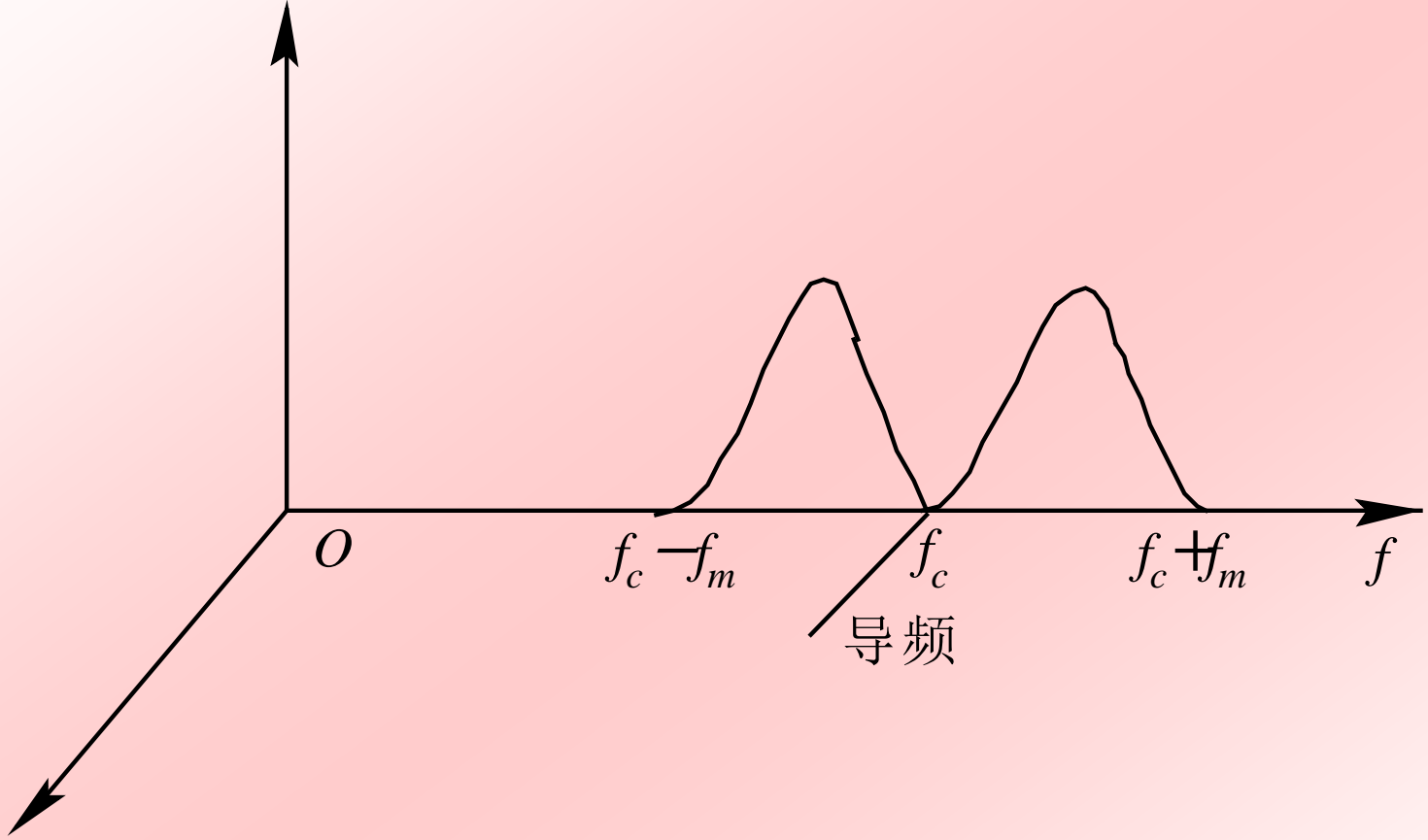


图 11 -8 抑制载波双边带信号的导频插入

这样，就可组成插入导频的发端方框图 11 - 9。设调制信号 $m(t)$ 中无直流分量，被调载波为 $a \sin\omega_c t$ ，将它经 $90^\circ$ 移相形成插入导频（正交载波） $-a\cos\omega_c t$ ，其中 $a$ 是插入导频的振幅。于是输出信号为

$$u_o(t) = a * m(t) \sin\omega_c t - a * \cos\omega_c t \quad (11.2 - 17)$$

设收到的信号就是发端输出 $u_o(t)$ ，则收端用一个中心频率为 $f_c$ 的窄带滤波器提取导频 $-a\cos\omega_c t$ ，再将它经 $90^\circ$ 移相后得到与调制载波同频同相的相干载波 $\sin\omega_c t$ ，收端的解调方框图如图 11 - 10 所示。



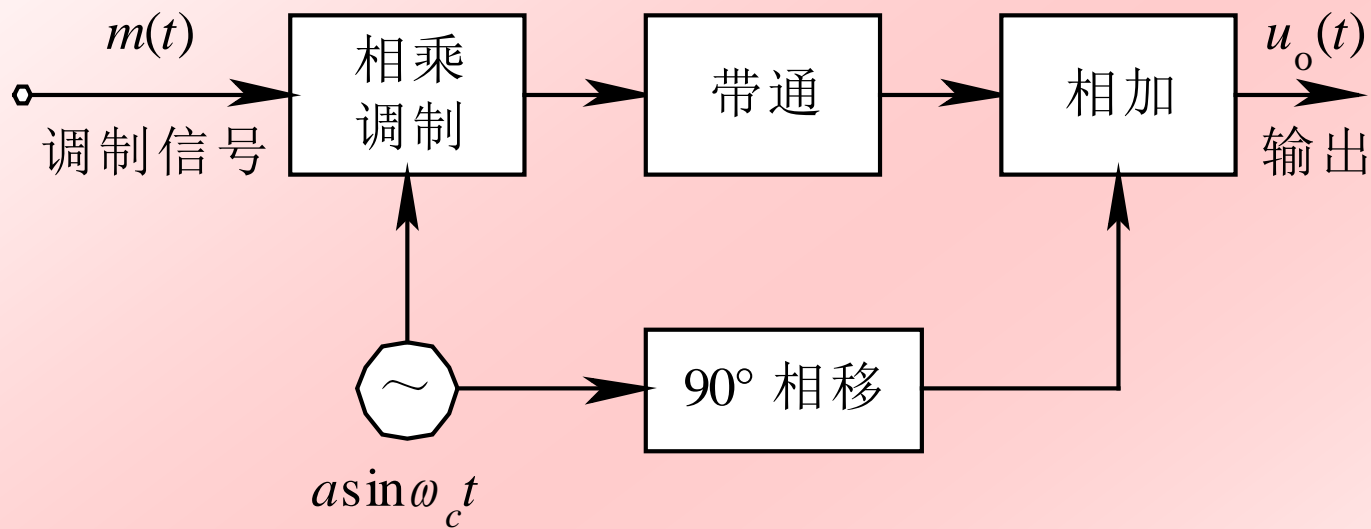


图 11 - 9 插入导频法发端框图

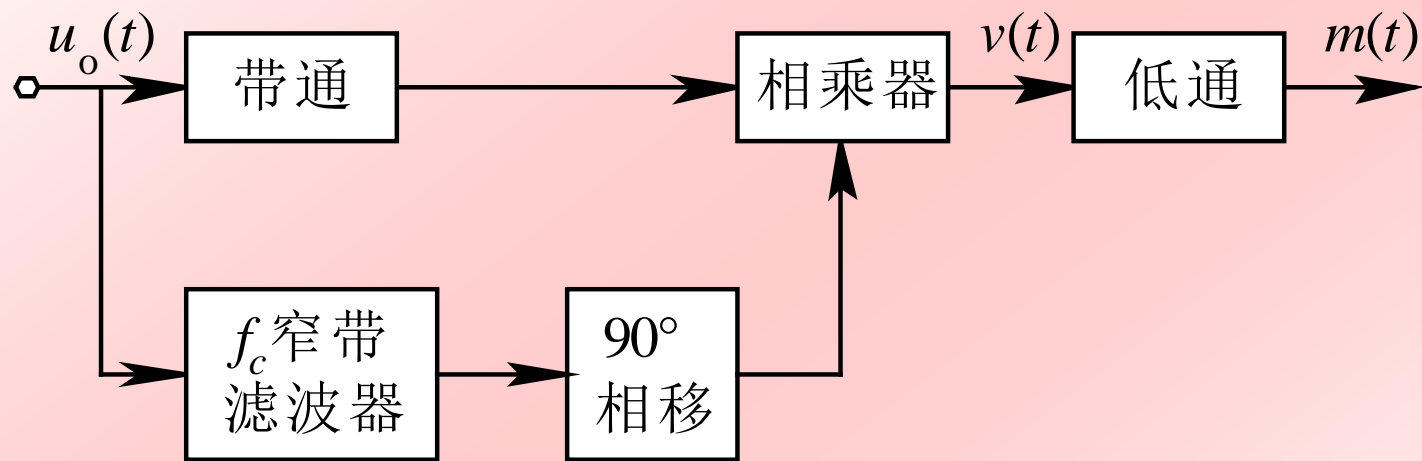


图 11 -10 插入导频法收端框图

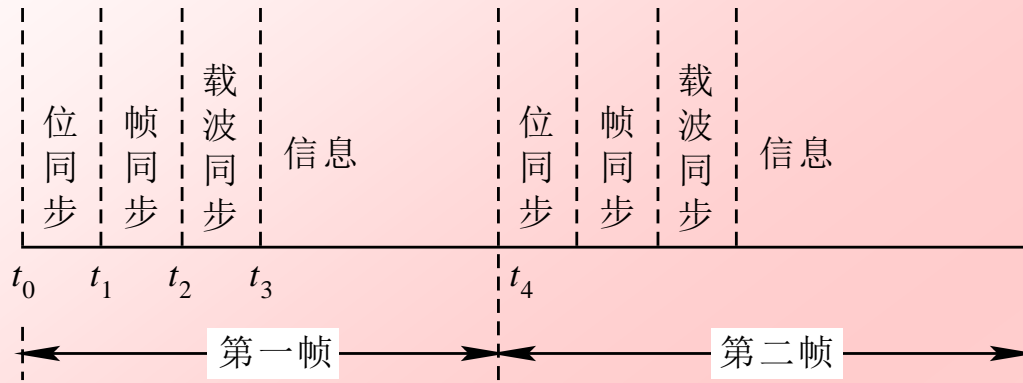
前面提示，发端是以正交载波作为导频，其原因解释如下。由图 11 - 10 可知，解调输出为

$$\begin{aligned}v(t) &= u_o(t) \sin \omega_c t = a * m(t) \sin^2 \omega_c t - a * \cos \omega_c t \sin \omega_c t \\ &= \frac{a}{2} * m(t) - \frac{a}{2} * m(t) \cos 2\omega_c t - \frac{a}{2} * \sin 2\omega_c t \quad (11.2 - 18)\end{aligned}$$

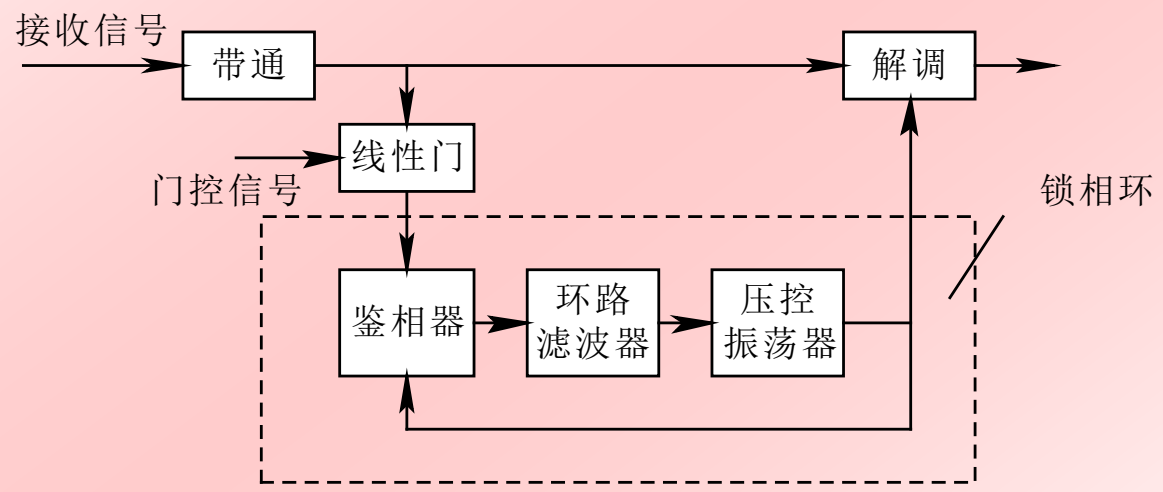
经过低通滤除高频部分后，就可恢复调制信号  $m(t)$ 。如果发端加入的导频不是正交载波，而是调制载波，则收端  $v(t)$  中还有一个不需要的直流成分，这个直流成分通过低通滤波器对数字信号产生影响，这就是发端正交插入导频的原因。2PSK和DSB信号都属于抑制载波的双边带信号，所以上述插入导频方法对两者均适用。对于SSB信号，导频插入的原理也与上述相同。

## 2. 时域插入导频

这种方法在时分多址通信卫星中应用较多。前面介绍的插入导频都属于频域插入，它们的特点是插入的导频在时间上是连续的，即信道中自始至终都有导频信号传送。时域插入导频方法是按照一定的时间顺序，在指定的时间内发送载波标准，即把载波标准插到每帧的数字序列中，如图 11 - 11 (a) 所示。图中， $t_2 \sim t_3$  就是插入导频的时间，它一般插入在群同步脉冲之后。这种插入的结果只是在每帧的一小段时间内才出现载波标准，在接收端应用控制信号将载波标准取出。从理论上讲可以用窄带滤波器直接取出这个载波，但实际上是困难的，这是因为导频在时间上是断续传送的，并且只在很小一部分时间存在，用窄带滤波器取出这个间断的载波是不能应用的。所以，时域插入导频法常用锁相环来提取同步载波，方框图如图 11- 11 (b) 所示。



(a)



(b)

图 11 - 11 时域插入导频法

## 11.2.3载波同步系统的性能及相位误差对解调性能的影响

### 1. 载波同步系统的性能

载波同步系统的性能指标主要有效率、精度、同步建立时间和同步保持时间。载波同步追求的是高效率、高精度、同步建立时间快，保持时间长。

**高效率** 指为了获得载波信号而尽量少消耗发送功率。在这方面，直接法由于不需要专门发送导频，因而效率高，而插入导频法由于插入导频要消耗一部分发送功率，因而效率要低一些。

**高精度** 指接收端提取的载波与需要的载波标准比较，应该有尽量小的相位误差。如需要的同步载波为 $\cos\omega_c t$ ，提取的同步载波为 $\cos(\omega_c t + \Delta\varphi)$ ， $\Delta\varphi$ 就是载波

相位误差， $\Delta\phi$ 应尽量小。通常 $\Delta\phi$ 分为稳态相差 $\theta_e$ 和随机相差 $\sigma_\phi$ 两部分，即

$$\Delta\phi = \theta_e + \sigma_\phi \quad (11.2 - 19)$$

稳态相差与提取的电路密切相关，而随机相差则是由噪声引起。

**同步建立时间 $t_s$**  指从开机或失步到同步所需要的时间。显然 $t_s$ 越小越好。

**同步保持时间 $t_c$** 指同步建立后，若同步信号小时，系统还能维持同步的时间。 $t_c$ 越大越好。这些指标与提取的电路、信号及噪声的情况有关。当采用性能优越的锁相环提取载波时 这些指标主要取决于锁相环的性能。



如稳态相差就是锁相环的剩余相差，即 $\theta_e = \frac{\Delta\omega}{k_v}$ ，其中 $\Delta\omega$ 为压控振荡角频率与输入载波角频率之差， $K_V$ 是环路直流总增益；随机相差 $\sigma_\phi$ 实际是由噪声引起的输出相位抖动，它与环路等效噪声带宽 $B_L$ 及输入噪声功率谱密度等有关， $B_L$ 的大小反映了环路对输入噪声的滤除能力， $B_L$ 越小， $\sigma_\phi$ 越小；又如同步建立时间 $t_s$ 具体表现为锁相环的捕捉时间，而同步保持时间 $t_c$ 具体表现为锁相环的同步保持时间。有关这方面的详细讨论，请参阅锁相环教材。

## 2. 载波相位误差对解调性能的影响

对解调性能的影响主要体现为所提取的载波与接收信号中的载波的相位误差 $\Delta\varphi$ 。相位误差 $\Delta\varphi$ 对不同信号的解调所带来的影响是不同的。我们首先研究DSB和PSK的解调情况。DSB和2PSK信号都属于双边带信号，具有相似的表示形式。设DSB信号为 $m(t) \cos\omega_c t$ ，所提取的相干载波为 $\cos(\omega_c t + \Delta\varphi)$ ，这时解调输出 $m'(t)$ 为

$$m'(t) = \frac{1}{2} m(t) \cos\Delta\varphi \quad (11.2 - 20)$$

若没有相位差，即 $\Delta\varphi=0$ ， $\cos\Delta\varphi=1$ ，则解调输出 $m'(t)=1/2 m(t)$ ，这时信号有最大幅度；若存在相位差，即 $\Delta\varphi\neq 0$ 时， $\cos\Delta\varphi<1$ ，解调后信号幅度下降，使功率和信噪功率比下降 $\cos^2 \Delta\varphi$ 倍。

对于2PSK信号，信噪功率比下降将使误码率增加。若 $\Delta\varphi=0$ 时

$$P_e = \text{erfc} \left( \sqrt{\frac{E}{n_0}} \right)$$

则 $\Delta\varphi \neq 0$ 时

$$P_e = \text{erfc} \left( \sqrt{\frac{E}{n_0}} \cos\Delta\varphi \right)$$

以上说明，载波相位误差 $\Delta\varphi$ 引起双边带解调系统的信噪比下降，误码率增加。当 $\Delta\varphi$ 近似为常数时，不会引起波形失真。然而，对单边带和残留边带解调而言，相位误差 $\Delta\varphi$ 不仅引起信噪比下降，而且还引起输出波形失真。

下面以单边带信号为例，说明这种失真是如何产生的。设单音基带信号 $m(t)=\cos\Omega t$ ，且单边带信号取上边带 $\cos(\omega_c+\Omega)t$ ,

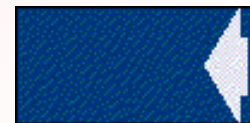
所提取的相干载波为 $\cos(\omega_c t + \Delta\varphi)$ ，相干载波与已调信号相乘得

$$\begin{aligned} & \cos(\omega_c + \Omega)t \cos(\omega_c t + \Delta\varphi) \\ &= \frac{1}{4} * [\cos(2\omega_c t + \Omega t + \Delta\varphi) + \cos(\Omega t - \Delta\varphi)] \end{aligned}$$

经低通滤波除高频即得解调输出

$$m'(t) = \cos(\Omega t - \Delta\varphi) = \frac{1}{4} * \cos\Omega t \cos\Delta\varphi + \frac{1}{4} * \sin\Omega t \sin\Delta\varphi$$

式（11.3 - 5）中的第一项与原基带信号相比，由于 $\cos\Delta\varphi$ 的存在，使信噪比下降了；第二项是与原基带信号正交的项，它使恢复的基带信号波形失真，推广到多频信号时也将引起波形的失真。若用来传输数字信号，波形失真会产生码间串扰，使误码率大大增加，因此应尽可能使 $\Delta\varphi$ 减小。



## 11.3 位同步

**位同步是指在接收端的基带信号中提取码元定时的过程。**它与载波同步有一定的相似和区别。载波同步是相干解调的基础，不论模拟通信还是数字通信只要是采用相干解调都需要载波同步，并且在基带传输时没有载波同步问题；所提取的载波同步信息是载频为  $f_c$  的正弦波，要求它与接收信号的载波同频同相。实现方法有插入导频法和直接法。

位同步是正确取样判决的基础，只有数字通信才需要，并且不论基带传输还是频带传输都需要位同步；所提取的位同步信息是频率等于码速率的定时脉冲，相位则根据判决时信号波形决定，可能在码元中间，也可能在码元终止时刻或其他时刻。实现方法也有**插入导频法**和**直接法**。

## 11.3.1 插入导频法

这种方法与载波同步时的插入导频法类似，也是在基带信号频谱的零点处插入所需的位定时导频信号，如图 11 - 12 所示。其中，图(a)为常见的双极性不归零基带信号的功率谱，插入导频的位置是  $1/T$ ；图(b)表示经某种相关变换的基带信号，其谱的第一个零点为  $1/2T$ ，插入导频应在  $1/2T$  处。

在接收端，对图 11 - 12 (a) 的情况，经中心频率为  $1/T$  的窄带滤波器，就可从解调后的基带信号中提取出位同步所需的信号，这时，位同步脉冲的周期与插入导频的周期一致；对图 11 - 12 (b) 的情况，窄带滤波器的中心频率应为  $1/2T$ ，所提取的导频需经倍频后，才得所需的位同步脉冲。

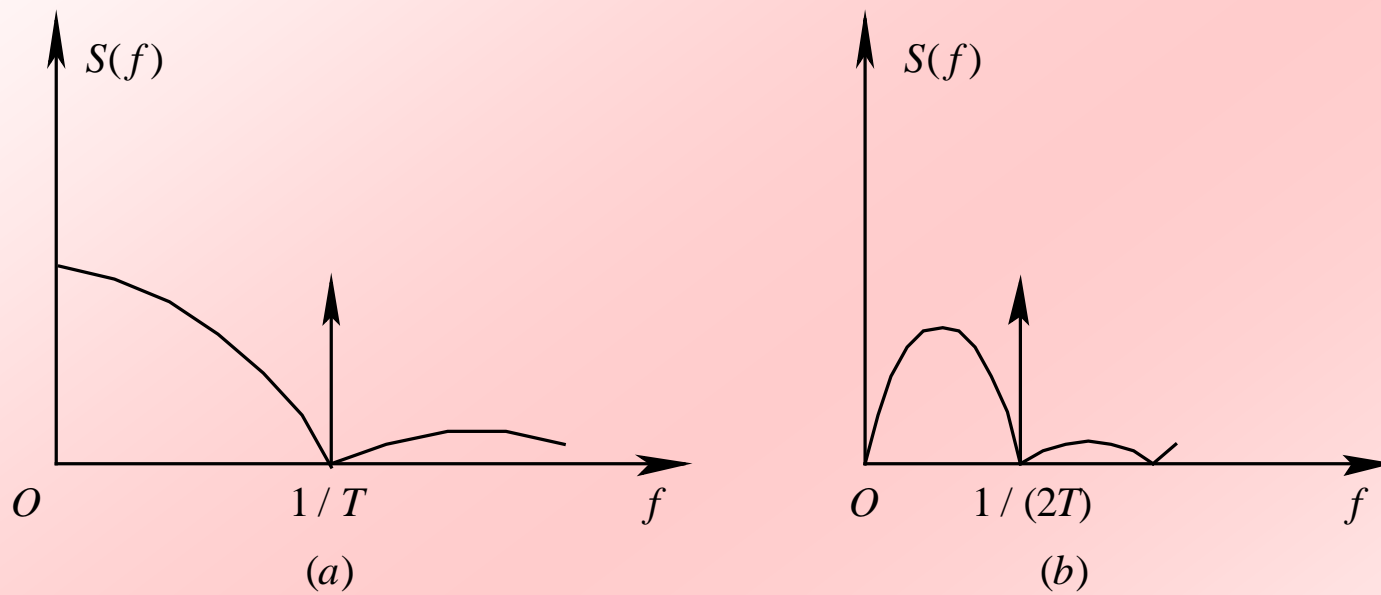
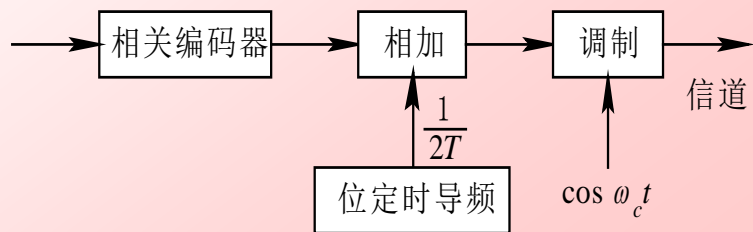


图 11 -12 插入导频法频谱图

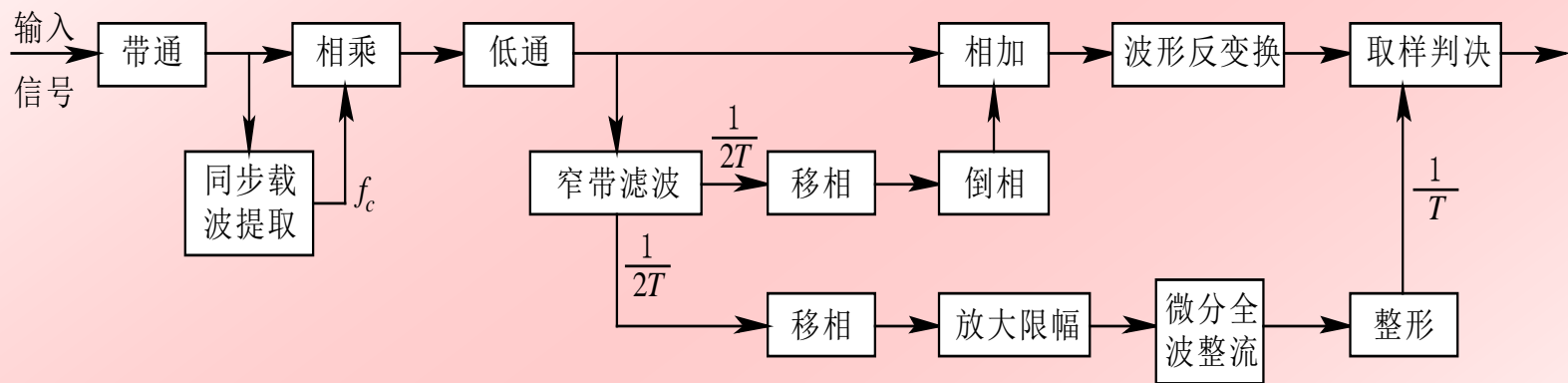


图 11 - 13 画出了插入位定时导频的系统框图，它对应于图 11 - 12 (b) 所示谱的情况。发端插入的导频为  $\frac{1}{2T}$ ，接收端在解调后设置了  $\frac{1}{2T}$  窄带滤波器，其作用是取出位定时导频。移相、倒相和相加电路是为了从信号中消去插入导频，使进入取样判决器的基带信号没有插入导频。这样做是为了避免插入导频对取样判决的影响。与插入载波导频法相比，它们消除插入导频影响的方法各不相同，载波同步中采用正交插入，而位同步中采用反向相消的办法。这是因为载波同步在接收端进行相干解调时，相干解调器有很好的抑制正交载波的能力，它不需另加电路就能抑制正交载波，因此载波同步采用正交插入。而位定时导频是在基带加入，它没有相干解调器，故不能采用正交插入。为了消除导频对基带信号取样判决的影响，位同步采用了反相相消。





(a)



(b)

图 11-13 插入位定时导频系统框图  
(a) 发送端； (b) 接收端

此外，由于窄带滤波器取出的导频为 $1/2T$ ，图中微分全波整流起到了倍频的作用，产生与码元速率相同的位定时信号 $1/T$ 。图中两个移相器都是用来消除窄带滤波器等引起的相移，这两个移相器可以合用。

另一种导频插入的方法是包络调制法。这种方法是用位同步信号的某种波形对移相键控或移频键控这样的恒包络数字已调信号进行附加的幅度调制，使其包络随着位同步信号波形变化。在接收端只要进行包络检波，就可以形成位同步信号。设移相键控的表达式为

$$s_1(t) = \cos [\omega_c t + \varphi(t)]$$

利用含有位同步信号的某种波形对 $s_1(t)$ 进行幅度调制，若这种波形为升余弦波形，则其表示式为

$$m(t) = \frac{1}{2} (1 + \cos \Omega t)$$

式中的 $\Omega = 2\pi/T$ ， $T$ 为码元宽度。幅度调制后的信号为

$$s_2(t) = \frac{1}{2} (1 + \cos \Omega t) \cos [\omega_c t + \varphi(t)]$$

接收端对 $s_2(t)$ 进行包络检波，包络检波器的输出为 $\frac{1}{2}(1 + \cos \Omega t)$ ，除去直流分量后，就可获得位同步信号 $\frac{1}{2} \cos \Omega t$ 。

除了以上两种在频域内插入位同步导频之外，还可以在时域内插入，其原理与载波时域插入方法类似，参见图 11 - 11(a)。

## 11.3.2直接法

这一类方法是发端不专门发送导频信号，而直接从接收的数字信号中提取位同步信号。这种方法在数字通信中得到了最广泛的应用。

直接提取位同步的方法又分**滤波法**和**特殊锁相环法**。

### 1. 滤波法

#### 1) 波形变换-滤波法

不归零的随机二进制序列，不论是单极性还是双极性的，当 $P(0)=P(1)=1/2$ 时，都没有 $f=1/T$ ， $2/T$ 等线谱，因而不能直接滤出 $f=1/T$ 的位同步信号分量。但是，若对该信号进行某种变换，例如，**变成归零的单极性脉冲**，其谱中含有 $f=1/T$ 的分量，然后用窄带滤波器取出该分量，再经移相调整后就可形成位定时脉冲。

这种方法的原理框图如图 11 - 14 所示。它的特点是先形成含有位同步信息的信号，再用滤波器将其取出。图中的波形变换电路可以用微分、整流来实现。

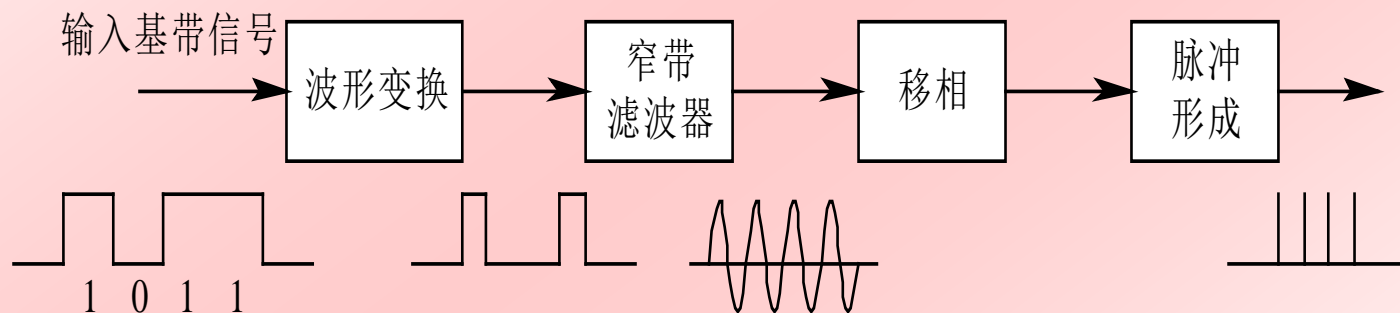


图 11-14 滤波法原理图

## 2) 包络检波-滤波法

这是一种从频带受限的中频PSK信号中提取位同步信息的方法，其波形图如图 11 - 15 所示。当接收端带通滤波器的带宽小于信号带宽时，使频带受限的2PSK信号在相邻码元相位反转点处形成幅度的“陷落”。经包络检波后得到图 11-15(b)所示的波形，它可看成是一直流与图 11 - 15(c)所示的波形相减，而图(c)波形是具有一定脉冲形状的归零脉冲序列，含有位同步的线谱分量，可用窄带滤波器取出。

## 2. 锁相法

位同步锁相法的基本原理与载波同步的类似，在接收端利用鉴相器比较接收码元和本地产生的位同步信号的相位，若两者相位不一致（超前或滞后），鉴相器就产生误差信号去调整位同步信号的相位，直至获得准确的位同步信号为止。

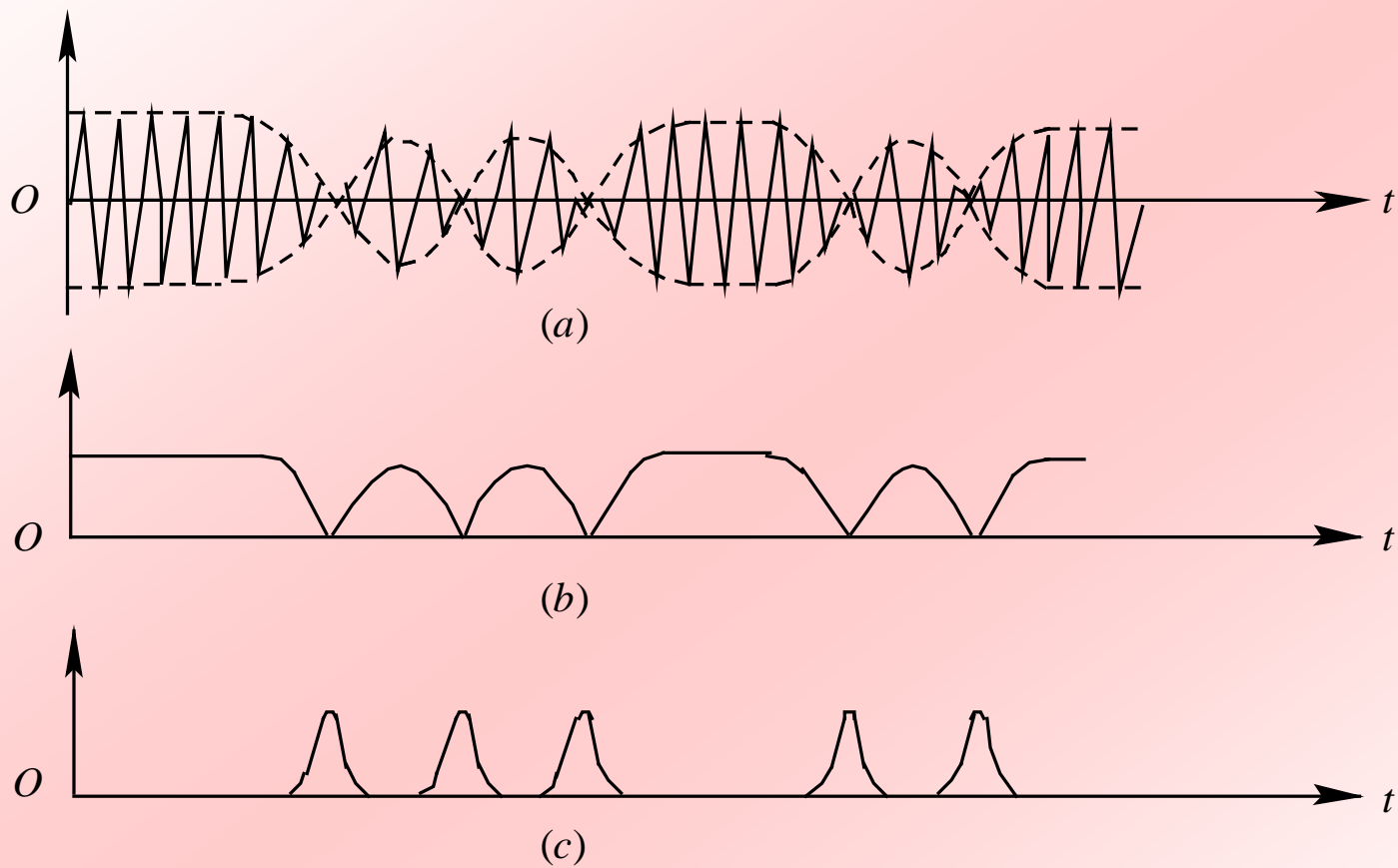


图 11 - 15 从2PSK信号中提取位同步信息

前面介绍的滤波法中的窄带滤波器可以是简单的单调谐回路或晶体滤波器，也可以是锁相环路。我们把采用锁相环来提取位同步信号的方法称为锁相法。通常分两类：一类是环路中误差信号去连续地调整位同步信号的相位，这一类属于模拟锁相法；另有一类锁相环位同步法是采用高稳定度的振荡器（信号钟），从鉴相器所获得的与同步误差成比例的误差信号不是直接用于调整振荡器，而是通过一个控制器在信号钟输出的脉冲序列中附加或扣除一个或几个脉冲，这样同样可以调整加到减相器上的位同步脉冲序列的相位，达到同步的目的。这种电路可以完全用数字电路构成全数字锁相环路。由于这种环路对位同步信号相位的调整不是连续的，而是存在一个最小的调整单位，也就是说对位同步信号相位进行量化调整，故这种位同步环又称为量化同步器。



这种构成量化同步器的全数字环是数字锁相环的一种典型应用。

用于位同步的全数字锁相环的原理框图如图 11 - 16 所示，它由信号钟、控制器、分频器、相位比较器等组成。其中：**信号钟**包括一个高稳定度的振荡器（晶体）和整形电路。若接收码元的速率为 $F=1/T$ ，那么振荡器频率设定在 $nF$ ，经整形电路之后，输出周期性脉冲序列，其周期 $T_0=1/(nF)=T/n$ 。**控制器**-包括图中的扣除门（常开）、附加门（常闭）和“或门”，它根据比相器输出的控制脉冲（“超前脉冲”或“滞后脉冲”）对信号钟输出的序列实施扣除（或添加）脉冲。**分频器**-是一个计数器，每当控制器输出 $n$ 个脉冲时，它就输出一个脉冲。

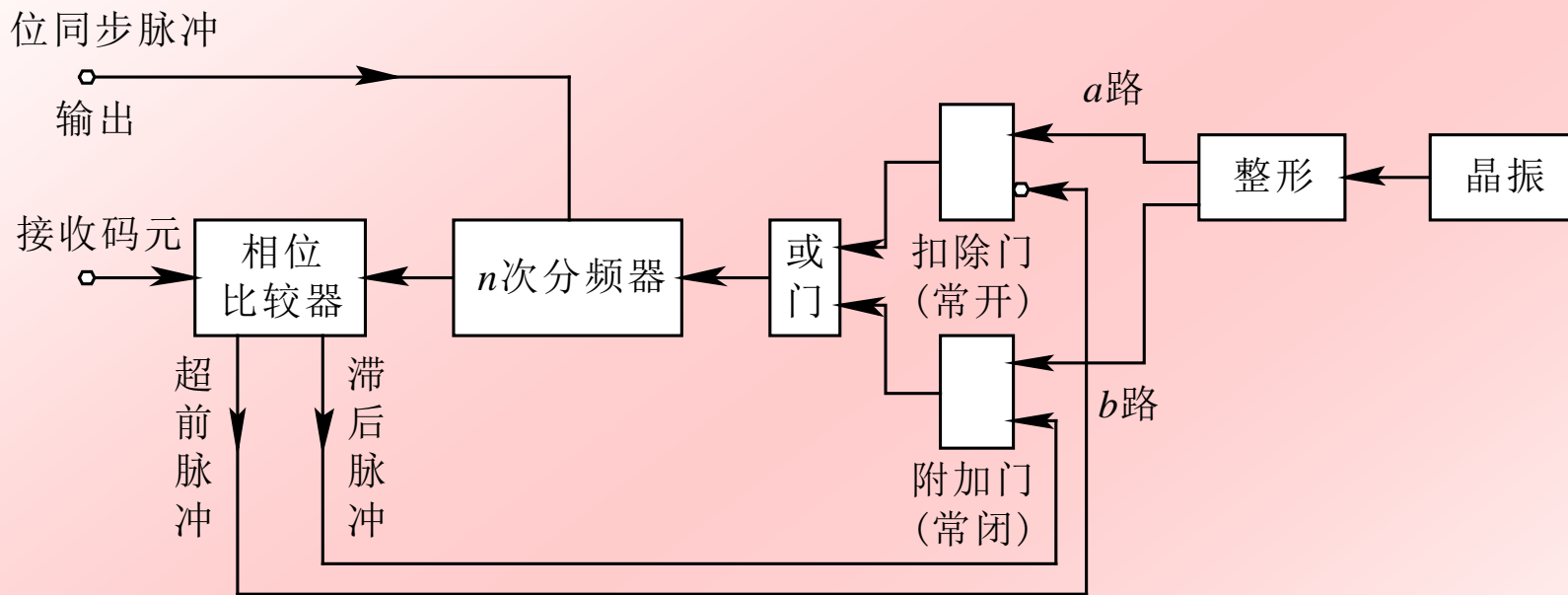


图 11 - 16 数字锁相原理框图

控制器与分频器的共同作用的结果就调整了加至比相器的位同步信号的相位。这种相位前、后移的调整量取决于信号钟的周期，每次的时间阶跃量为 $T_0$ ，相应的相位最小调整量为 $\Delta=2\pi T_0/T=2\pi/n$ 。

**相位比较器** 将接收脉冲序列与位同步信号进行相位比较，以判别位同步信号究竟是超前还是滞后，若超前就输出超前脉冲，若滞后就输出滞后脉冲。位同步数字环的工作过程

简述如下：由高稳定晶体振荡器产生的信号，经整形后得到周期为 $T_0$ 和相位差 $T_0/2$ 的两个脉冲序列，如图 11 - 17(a)、(b)所示。脉冲序列(a)通过常开门、或门并经 $n$ 次分频后，输出本地位同步信号，如图 11 - 17(c)。

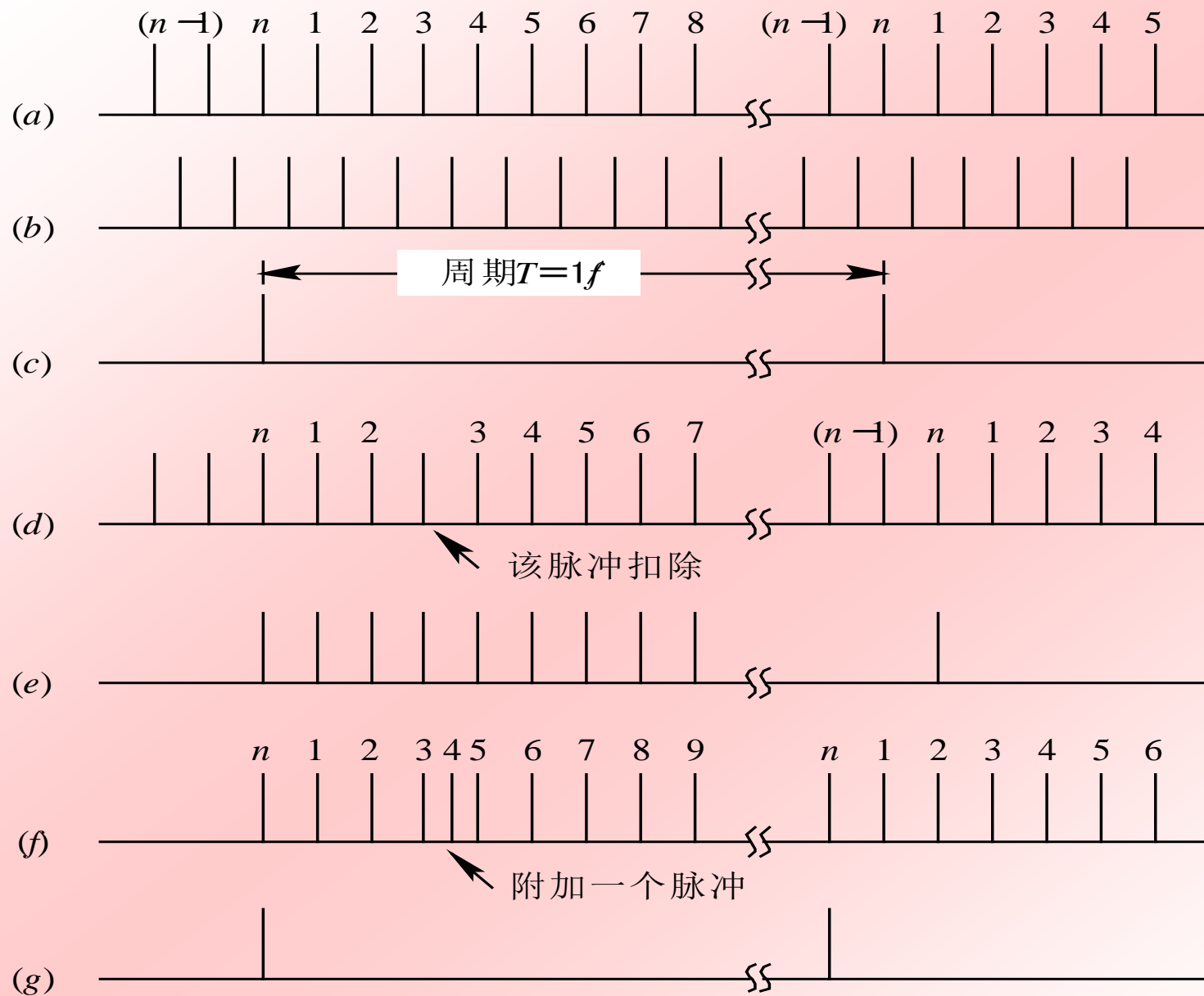


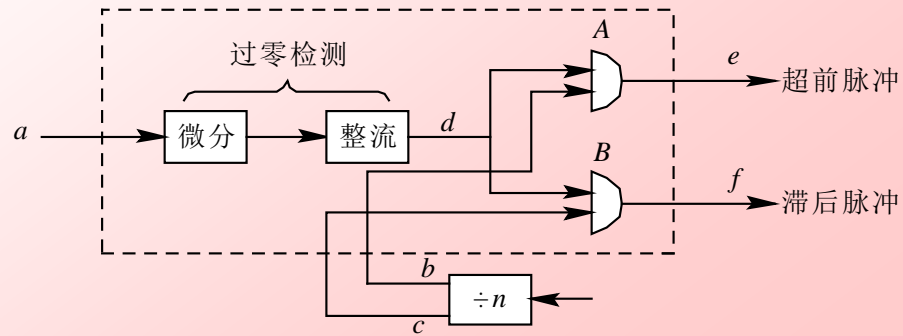
图 11 - 17 位同步脉冲的相位调整

为了与发端时钟同步，分频器输出与接收到的码元序列同时加到相位比较器进行比相。如果两者完全同步，此时相位比较器没有误差信号，本地位同步信号作为同步时钟。如果本地位同步信号相位超前于接收码元序列时，相位比较器输出一个超前脉冲加到常开门（扣除门）的禁止端将其关闭，扣除一个(a)路脉冲(图11 - 17(d))，使分频器输出脉冲的相位滞后 $1/n$ 周期（ $360^\circ / n$ ），如图 11 - 17(e)所示。如果本地同步脉冲相位滞后于接收码元脉冲时，比相器输出一个滞后脉冲去打开“常闭门（附加门）”，使脉冲序列(b)中的一个脉冲能通过此门及或门。正因为两脉冲序列(a)和(b)相差半个周期，所以脉冲序列(b)中的一个脉冲能插到“常开门”输出脉冲序列(a)中(图11 - 17(f))，使分频器输入端附加了一个脉冲，于是分频器的输出相位就提前 $1/n$ 周期，如图 11 -17(g)所示。

经过若干次调整后，使分频器输出的脉冲序列与接收码元序列达到同步的目的，即实现了位同步。根据接收码元基准相位的获得方法和相位比较器的结构不同，位同步数字锁相环又分微分整流型数字锁相环和同相正交积分型数字锁相环两种。这两种环路的区别仅仅是基准相位的获得方法和鉴相器的结构不同，其他部分工作原理相同。下面我们重点介绍鉴相器的具体构成及工作情况。

### 1) 微分整流型鉴相器

微分型鉴相器如图 11 - 18 (a) 所示，假设接收信号为不归零脉冲（波形a）。我们将每个码元的宽度分为两个区，前半码元称为“滞后区”，即若位同步脉冲（波形b'）落入此区，表示位同步脉冲的相位滞后于接收码元的相位；



(a)

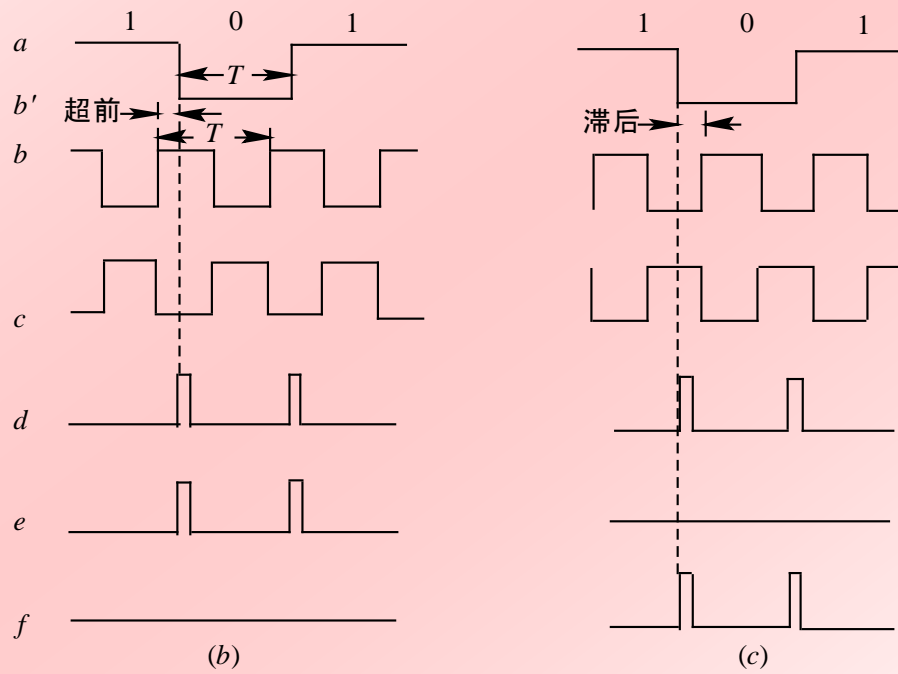


图 11 - 18 微分整流型鉴相器

同样，后半码元称为“超前区”。接收码元经过零检测（微分、整流）后，输出一窄脉冲序列（波形d）。分频器输出两列相差 $180^\circ$ 的矩形脉冲b和c。当位同步脉冲波形b'它是由n次分频器b端的输出，取其上升沿而形成的脉冲）位于超前区时，波形d和b使与门A产生一超前脉冲（波形e），与此同时，与门B关闭，无脉冲输出。

位同步脉冲超前的情况如图 11 - 18 (b) 所示。同理，位同步脉冲滞后的情况如图 11 - 18 (c) 所示。2) 同相正交积分型鉴相器采用微分整流型鉴相器的数字锁相环，是从基带信号的过零点中提取位同步信息的。当信噪比较低时，过零点位置受干扰很大，不太可靠。



如果应用匹配滤波的原理，先对输入的基带信号进行最佳接收，然后提取同步信号，可减少噪声干扰的影响，使位同步性能有所改善。这种方案就是采用同相正交积分型鉴相器的数字锁相环。

图 11 - 19(a)示出了积分型鉴相器的原理框图。设接收的双极性不归零码元为图中波形a所示的波形，送入两个并联的积分器。积分器的积分时间都为码元周期 $T$ ，但加入这两个积分器作猝息用的定时脉冲的相位相差 $T/2$ 。这样，同相积分器的积分区间与位同步脉冲的区间重合，而正交积分器的积分区间正好跨在两相邻位同步脉冲的中点之间（这里的正交就是指两积分器的积分起止时刻相差半个码元宽度）。在考虑了猝息作用后，两个积分器的输出如波形b和c所示。

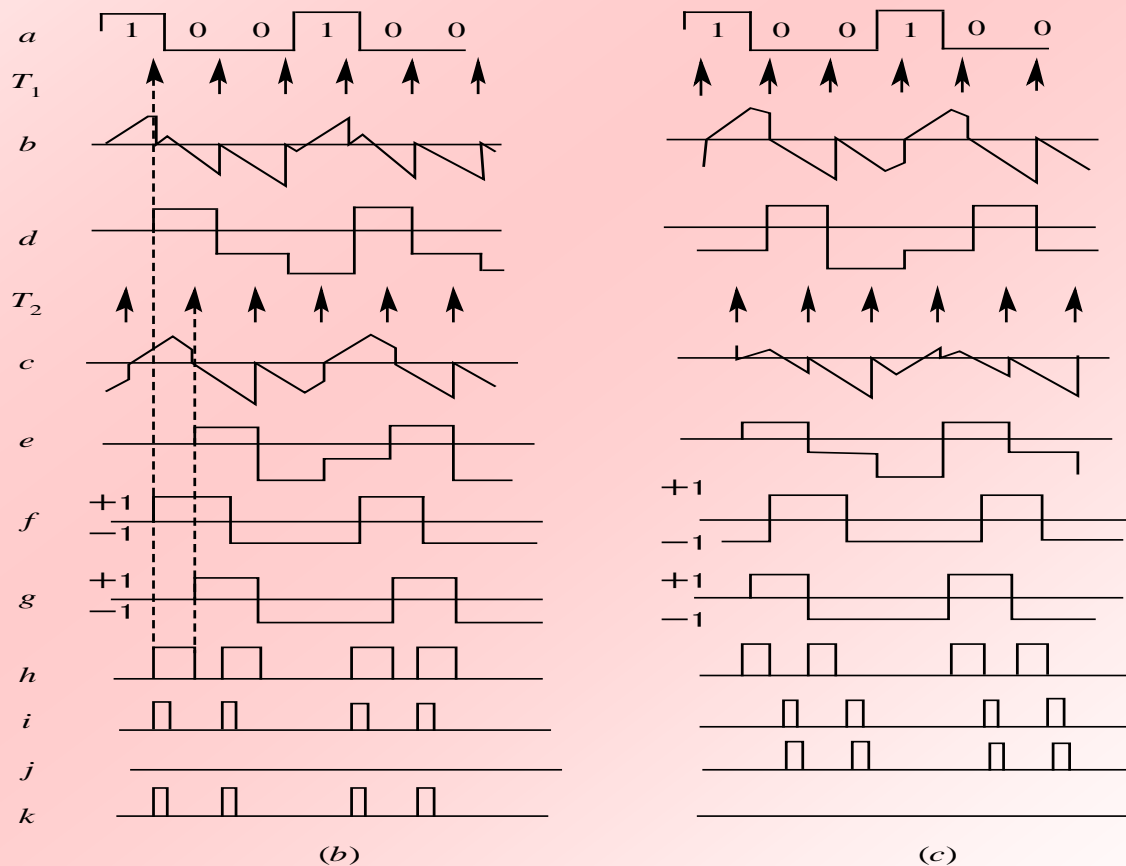
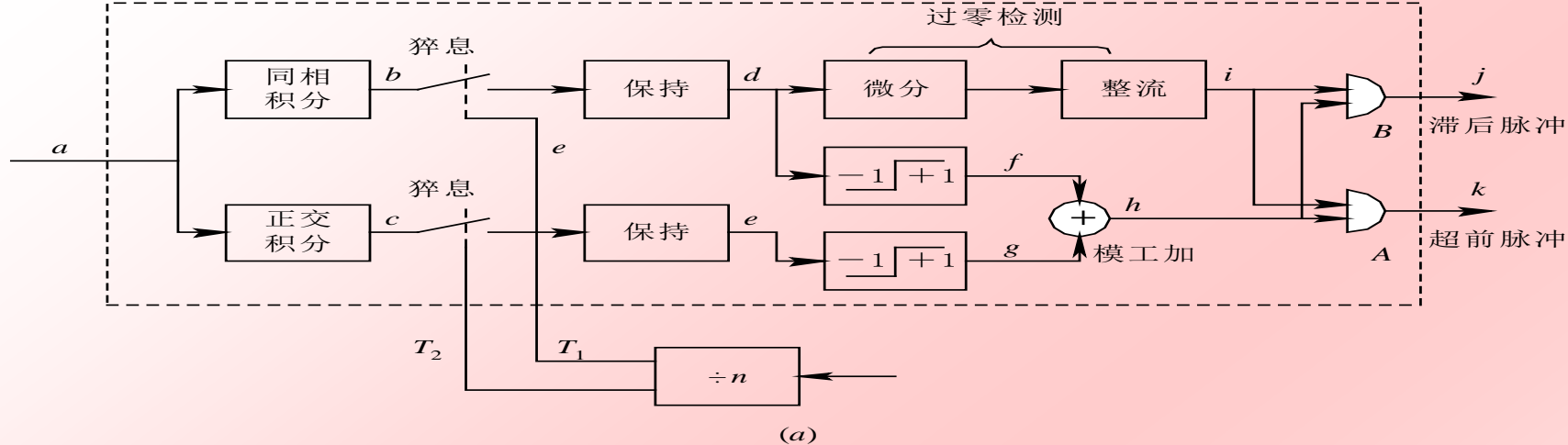


图 11-19 同相正交积分型鉴相器

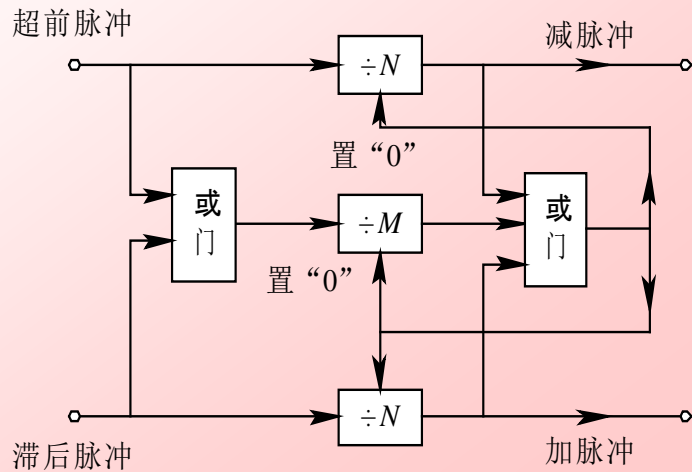
两个积分器的输出电压加于取样保持电路，它是对临猝息前的积分结果的极性进行取样，并保持一码元宽度时间 $T$ ，分别得到波形 $d$ 和 $e$ 。波形 $d$ 实际上就是由匹配滤波法检测所输出的信号波形。虽然输入的信号波形 $a$ 可能由于受干扰影响变得不太规整，但原理图中 $d$ 点的波形却是将干扰的影响大大减弱的规整信号。这正是同相正交积分型数字锁相优于微分整流型数字锁相的原因所在。 $d$ 点的波形极性取决于码元极性，与同步的超前或滞后无关，将它进行过零检测后，就可获得反映码元转换与否的信号 $i$ 。而正交积分保持输出 $e$ 的极性，则不仅与码元转换的方向有关，还与同步的超前或滞后有关。对于同一种码元转换方向而言，同步超前与同步滞后时， $e$ 的极性是不同的。因此，将两个积分清除电路的输出，经保持和硬限幅（保持极性）之和模2相加，可以得到判别同步信号是超前还是滞后的信号 $h$ 。

此信号 $h$ 加至与门A和B，可控制码元转换信号从哪一路输出。在该电路中，在位同步信号超前的情况下，当 $i$ 脉冲到达时信号 $h$ 为正极性，将与门A开启，送出超前脉冲，如图中(b)所示。在位同步信号滞后的情况下，当 $i$ 脉冲到达时 $h$ 为负极性，反相后加至与门B，使之开启，送出滞后脉冲，如图中(c)所示。积分型鉴相器由于采用了积分猝息电路以及保持电路，它既充分利用了码元的能量，又有效地抑制了信道的高斯噪声，因而可在较低的信噪比条件下工作，性能上优于微分型鉴相器。

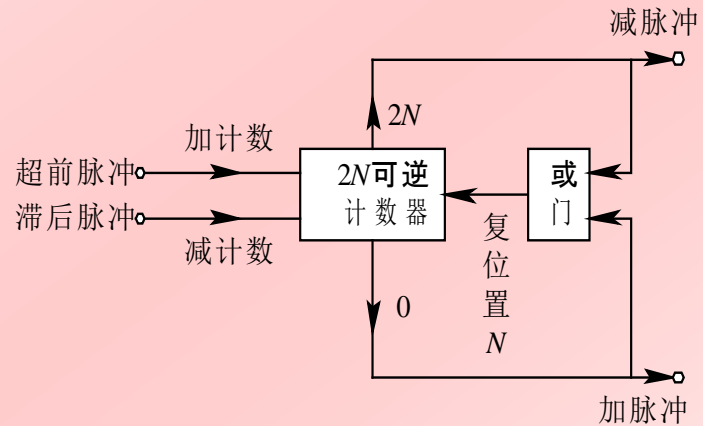
### 3. 数字锁相环抗干扰性能的改善

在前面的数字锁相法电路中，由于噪声的干扰，使接收到的码元转换时间产生随机抖动甚至产生虚假的转换，相应地在鉴相器输出端就有随机的超前或滞后脉冲，这导致锁相环进行不必要的来回调整，引起位同步信号的相位抖动。仿照模拟锁相环鉴相器后加有环路滤波器的方法，在数字锁相环鉴相器后加入一个数字滤波器。插入数字滤波器的作用就是滤除这些随机的超前、滞后脉冲，提高环路的抗干扰能力。这类环路常用的数字滤波器有“N先于M”滤波器和“随机徘徊”滤波器两种。

N先于M滤波器如图 11 - 20(a)所示，它包括一个计超前脉冲数和一个计滞后脉冲数的N计数器，超前脉冲或滞后脉冲还通过或门加于一个M计数器（所谓N或M计数器，就是当计数器置“0”后，输入N或M个脉冲，该计数器输出一个脉冲）。



(a)



(b)

图 11 -20 两种数字式滤波方案

(a) N先于M滤波器; (b) 随机徘徊滤波器

选择 $N < M < 2N$ ，无论哪个计数器计满，都会使所有计数器重新置“0”。

当鉴相器送出超前脉冲或滞后脉冲时，滤波器并不马上将它送去进行相位调整，而是分别对输入的超前脉冲（或滞后脉冲）进行计数。如果两个 $N$ 计数器中的一个，在 $M$ 计数器计满的同时或未计满前就计满了，则滤波器就输出一个“减脉冲”（或“加脉冲”）控制信号去进行相位调整，同时将三个计数器都置“0”（即复位），准备再对后面的输入脉冲进行处理。如果是由于干扰的作用，使鉴相器输出零星的超前或滞后脉冲，而且这两种脉冲随机出现，那么，当两个 $N$ 计数器的任何一个都未计满时， $M$ 计数器就很可能已经计满了，并将三个计数器又置“0”，因此滤波器没有输出，这样就消除了随机干扰对同步信号相位的调整。



随机徘徊滤波器如图 11 - 20(b)所示，它是一个既能进行加法计数又能进行减法计数的可逆计数器。当有超前脉冲（或滞后脉冲）输入时，触发器（未画出）使计数器接成加法（或减法）状态。如果超前脉冲超过滞后脉冲的数目达到计数容量 $N$ 时，就输出一个“减脉冲”控制信号，通过控制器和分频器使位同步信号相位后移。反之，如果滞后脉冲超过超前脉冲的数目达到计数容量 $N$ 时，就输出一个“加脉冲”控制信号，调整位同步信号相位前移。在进入同步之后，没有因同步误差引起的超前或滞后脉冲进入滤波器，而噪声抖动则是正负对称的，由它引起的随机超前、滞后脉冲是零星的，不会是连续多个的。因此，随机超前与滞后脉冲之差数达到计数容量 $N$ 的概率很小，滤波器通常无输出。这样一来就滤除了这些零星的超前、滞后脉冲，即滤除了噪声对环路的干扰作用。



上述两种数字式滤波器的加入的确提高了锁相环抗干扰能力，但是由于它们应用了累计计数，输入 $N$ 个脉冲才能输出一个加（或减）控制脉冲，必然使环路的同步建立过程加长。可见，提高锁相环抗干扰能力（希望 $N$ 大）与加快相位调整速度（希望 $N$ 小）是一对矛盾。为了缓和这一对矛盾，缩短相位调整时间，可如图 11 - 21 所示附加闭锁门电路。当输入连续的超前（或滞后）脉冲多于 $N$ 个后，数字式滤波器输出一超前（或滞后）脉冲，使触发器 $C_1$ （或 $C_2$ ）输出高电平，打开与门 1（或与门 2），输入的超前（或滞后）脉冲就通过这两个与门加至相位调整电路。如鉴相器这时还连续输出超前（或滞后）脉冲，那么，由于这时触发器的输出已使与门打开，这些脉冲就可以连续地送至相位调整电路，而不需再待数字式滤波器计满 $N$ 个脉冲后才能再输出一个脉冲，这样就缩短了相位调整时间。对随机干扰来说，鉴相器输出的是零星的超前（或滞后）脉冲，这些零星脉冲会使触发器置“0”，这时整个电路的作用就和一般数字式滤波器的作用类同，仍具有较好的抗干扰性能。

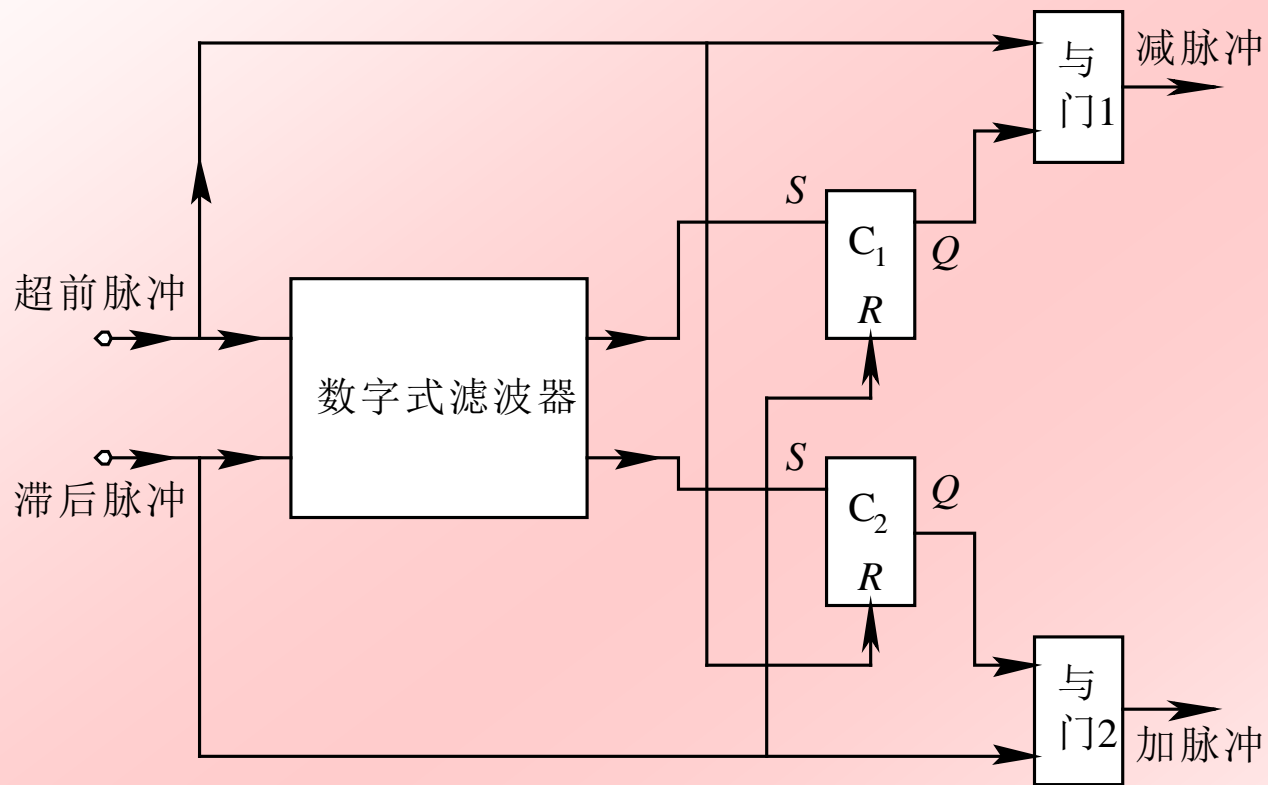


图 11 - 21 缩短相位调整时间原理图

## 11.3.3位同步系统的性能及其相位误差对性能的影响

与载波同步系统相似，位同步系统的性能指标主要有**相位误差、同步建立时间、同步保持时间及同步带宽**等。下面结合数字锁相环介绍这些指标，并讨论相位误差对误码率的影响。

### 1. 位同步系统的性能

#### 1) 相位误差 $\theta_e$

位同步信号的平均相位和最佳相位之间的偏差称为静态相差。对于数字锁相法提取位同步信号而言，相位误差主要是由于位同步脉冲的相位在跳变地调整所引起的。每调整一步，相位改变 $2\pi/n$ （对应时间 $T/n$ ）， $n$ 是分频器的分频次数，故最大的相位误差为

$$\theta = \frac{360}{n}$$

若用时间差 $T_e$ 来表示相位误差，因每码元的周期为 $T$ ，故得

$$T_e = \frac{T}{n}$$

## 2) 同步建立时间 $t_s$

同步建立时间是指**开机或失去同步后重新建立同步所需的最长时间**。由前面分析可知，当位同步脉冲相位与接收基准相位差 $\pi$ （对应时间 $T/2$ ）时，调整时间最长。这时所需的最大调整次数为

$$N = \frac{\pi}{\frac{2\pi}{n}} = \frac{n}{2}$$

由于接收码元是随机的，对二进制码而言，相邻两个码元（01、10、11、00）中，有或无过零点的情况各占一半。

我们在前面所讨论的两种数字锁相法中都是从数据过零点中提取作比相用的基准脉冲的，因此平均来说，每两个脉冲周期（ $2T$ ）可能有一次调整，所以同步建立时间为

$$t_s = 2T \cdot N = nT$$

### 3) 同步保持时间 $t_c$

当同步建立后，一旦输入信号中断，或出现长连“0”、连“1”码时，锁相环就失去调整作用。由于收发双方位定时脉冲的固有重复频率之间总存在频差 $\Delta F$ ，收端同步信号的相位就会逐渐发生漂移，时间越长，相位漂移量越大，直至漂移量达到某一准许的最大值，就算失去同步了。由同步到失步所需要的时间，称为同步保持时间。

设收发两端固有的码元周期分别为 $T_1=1/F_1$ 和 $T_2=1/F_2$ ， 则每个周期的平均时间差为

$$\Delta T=|T_1-T_2|=\left|\frac{1}{F_1}-\frac{1}{F_2}\right|=\frac{|F_2-F_1|}{F_2F_1}=\frac{\Delta F}{F_0^2} \quad (11.3-8)$$

式中， $F_0$ 为收发两端固有码元重复频率的几何平均值， 且有

$$T_0=\frac{1}{F_0} \quad (11.3-9)$$

由式 (11.3 - 8) 可得

$$F_0|T_1-T_2|=\frac{\Delta F}{F_0}$$

再由式 (11.3 - 9)， 上式可写为

$$\frac{|T_1-T_2|}{T_0}=\frac{\Delta F}{F_0} \quad (11.3-11)$$

$\Delta F \neq 0$ 时，每经过 $T_0$ 时间，收发两端就会产生 $|T_1 - T_2|$ 的时间漂移，单位时间内产生的误差为 $|T_1 - T_2|/T_0$ 。

若规定两端允许的最大时间漂移（误差）为 $T_0/K$ 秒（ $K$ 为一常数），则达到此误差的时间就是同步保持时间 $t_c$ 。代入式（11.3 - 11）后，得

$$\frac{T_0/K}{t_c} = \frac{\Delta F}{F_0}$$
$$t_c = \frac{1}{\Delta F K}$$

若同步保持时间 $t_c$ 的指标给定，也可由上式求出对收发两端振荡器频率稳定度的要求为

$$\Delta F = \frac{1}{t_c K}$$

此频率误差是由收发两端振荡器造成的。若两振荡器的频率稳定度相同，则要求每个振荡器的频率稳定度不能低于

$$\frac{\Delta F}{2F_0} = \pm \frac{1}{2t_c K F_0}$$

#### 4) 同步带宽 $\Delta f_s$

**同步带宽是指能够调整到同步状态所允许的收、发振荡器最大频差。**由于数字锁相环平均每2周（ $2T$ ）调整一次，每次所能调整的时间为 $T/n$ （ $T/n \approx T_0/n$ ），所以在一个码元周期内平均最多可调整的时间为 $T_0/2n$ 。很显然，如果输入信号码元的周期与收端固有位定时脉冲的周期之差为



$$\Delta T > \frac{T_0}{2n}$$

则锁相环将无法使收端位同步脉冲的相位与输入信号的相位同步，这时，由频差所造成的相位差就会逐渐积累。因此，我们根据

$$\Delta T = \frac{T_0}{2n} = \frac{1}{2nF_0}$$

$$\frac{|\Delta f_s|}{F_0^2} = \frac{1}{2nF_0}$$

$$|\Delta f_s| = \frac{F_0}{2n}$$

(11.3 - 15)

式 (11.3 - 15) 就是求得同步带宽表示式。

## 2. 位同步相位误差对性能的影响

位同步的相位误差 $\theta_e$ 主要是造成位定时脉冲的位移，使抽样判决时刻偏离最佳位置。在第5、7章推导的误码率公式，都是在最佳抽样判决时刻得到的。当位同步存在相位误差 $\theta_e$ （或 $T_e$ ）时，必然使误码率 $P_e$ 增大。

为了方便起见，我们用时差 $T_e$ 代替相差 $\theta_e$ 对系统误码率的影响。设解调器输出的基带数字信号如图 11 - 22 (a) 所示，并假设采用匹配滤波器法检测，即对基带信号进行积分、取样和判决。若位同步脉冲有相位误差 $T_e$ （图11- 22 (b)），则脉冲的取样时刻就会偏离信号能量的最大点。

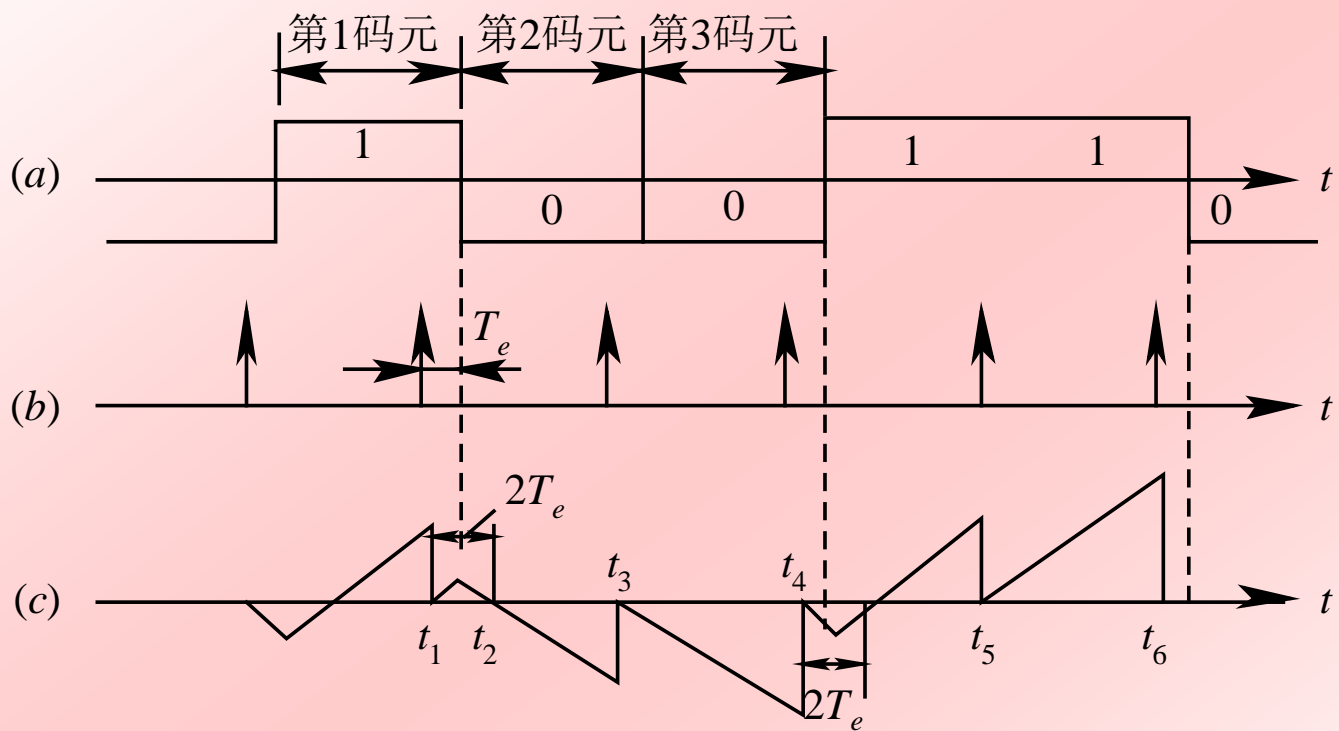


图 11 - 22 相位误差对性能的影响

从图 11 - 22 (c) 可以看到，相邻码元的极性无交变时，位同步的相位误差不影响取样点的积分输出能量值，在该点的取样值仍为整个码元能量 $E$ ，图 (c) 中的 $t_4$ 和 $t_6$ 时刻就是这种情况。而当相邻码元的极性交变时，位同步的相位误差使取样点的积分能量减小，如图 $t_3$ 点的值只是 $(T-2T_e)$ 时间内的积分值。由于积分能量与时间成正比，故积分能量减小为 $(1-2T_e/T) E$ 。

通常，随机二进制数字信号相邻码元有变化和无变化的概率各占 $1/2$ ，所以系统的误码率分为两部分来计算。相邻码元无变化时，仍按原来相应的误码率公式计算；相邻码元有变化时，按信噪比（或能量）下降后计算。以2PSK信号最佳接收为例，考虑到相位误差影响时，其误码率为

$$P_e = \frac{1}{4} \operatorname{erfc} \sqrt{\frac{E}{n_0}} + \frac{1}{4} \operatorname{erfc} \sqrt{E \left(1 - \frac{2T_e}{T}\right) / n_0}$$



## 11.4 群同步

数字通信时，一般总是以若干个码元组成一个字，若干个字组成一个句，即组成一个个的“群”进行传输。群同步的任务就是在位同步的基础上识别出这些数字信息群（字、句、帧“开头”和“结尾”的时刻，使接收设备的群定时与接收到的信号中的群定时处于同步状态。实现群同步，通常采用的方法是起止式同步法和插入特殊同步码组的同步法。而插入特殊同步码组的方法有两种：一种为连贯式插入法，另一种为间隔式插入法。

## 11.4.1 起止式同步法

数字电传机中广泛使用的是起止式同步法。在电传机中，常用的是五单位码。为标志每个字的开头和结尾，在五单位码的前后分别加上 1 个单位的起码（低电平）和1.5个单位的止码（高电平），共7.5个码元组成一个字，如图 5 - 23 所示。收端根据高电平第一次转到低电平这一特殊标志来确定一个字的起始位置，从而实现字同步。

这种7.5单位码（码元的非整数倍）给数字通信的同步传输带来一定困难。另外，在这种同步方式中，7.5个码元中只有5个码元用于传递消息，因此传输效率较低。

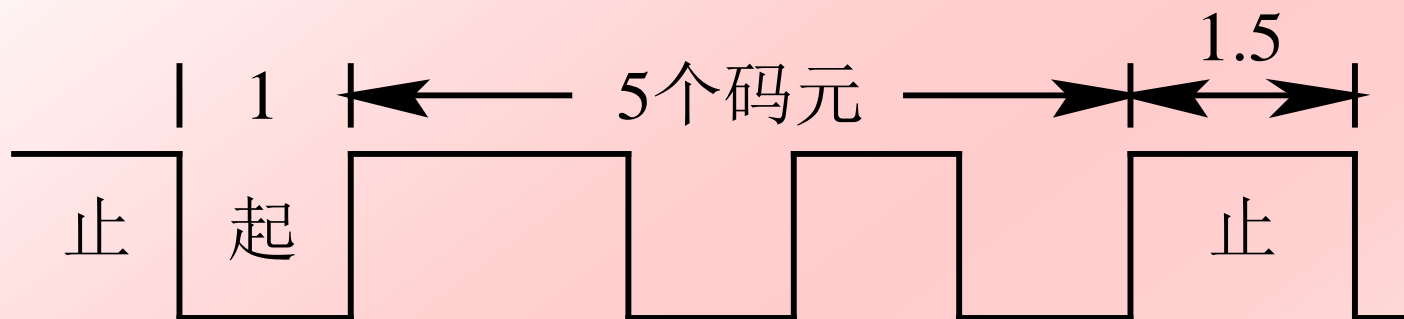


图 11 - 23 起止式同步波形



## 11.4.2 连贯式插入法

**连贯插入法**，又称**集中插入法**。它是指在每一信息群的开头集中插入作为群同步码组的特殊码组，该码组应在信息码中很少出现，即使偶尔出现，也不可能依照群的规律周期出现。接收端按群的周期连续数次检测该特殊码组，这样便获得群同步信息。

连贯插入法的关键是寻找实现群同步的**特殊码组**。对该码组的基本要求是：**具有尖锐单峰特性的自相关函数；便于与信息码区别；码长适当，以保证传输效率。**

符合上述要求的特殊码组有：**全0码、全1码、1与0交替码、巴克码、电话基群帧同步码0011011**。目前常用的群同步码组是巴克码。

# 1. 巴克码

巴克码是一种有限长的非周期序列。它的定义如下：一个  $n$  位长的码组  $\{x_1, x_2, x_3, \dots, x_n\}$ ，其中  $x_i$  的取值为  $+1$  或  $-1$ ，若它的局部相关函数

$$R(j) = \sum_{i=1}^{n-j} x_i x_{i+j} = \begin{cases} n, & j=0 \\ 0 \text{ 或 } \pm 1, & 0 < j < n \\ 0, & j \geq n \end{cases}$$

则称这种码组为巴克码，其中  $j$  表示错开的位数。目前已找到的所有巴克码组如表 11 -1 所示。其中的  $+$ 、 $-$  号表示  $x_i$  的取值为  $+1$ 、 $-1$ ，分别对应二进制码的“1”或“0”。

表 11-1 巴克码组

n	巴克码组
2	++ (11)
3	++- (110)
4	+++-(1110); ++-+(1101)
5	+++-(11101)
7	+++--+- (1110010)
11	+++----+- (11100010010)
13	+++++--+- (1111100110101)

以7位巴克码组  $\{ \frac{1}{7} + + - - + - \}$  为例，它的局部自相关函数如下：

$$\text{当 } j=0 \text{ 时, } R(j) = \sum_{i=1}^7 x_i^2 = 1+1+1+1+1+1+1=7$$

$$\text{当 } j=1 \text{ 时, } R(j) = \sum_{i=1}^7 x_i^2 x_i x_{i+1} = 1+1-1+1-1-1=0$$

同样可求出  $j=3, 5, 7$  时  $R(j) = 0$ ； $j=2, 4, 6$  时  $R(j) = -1$ 。根据这些值，利用偶函数性质，可以作出7位巴克码的  $R(j)$  与  $j$  的关系曲线，如图 11 - 24 所示。

由图可见，其自相关函数在  $j=0$  时具有尖锐的单峰特性。这一特性正是连贯式插入群同步码组的主要要求之一。

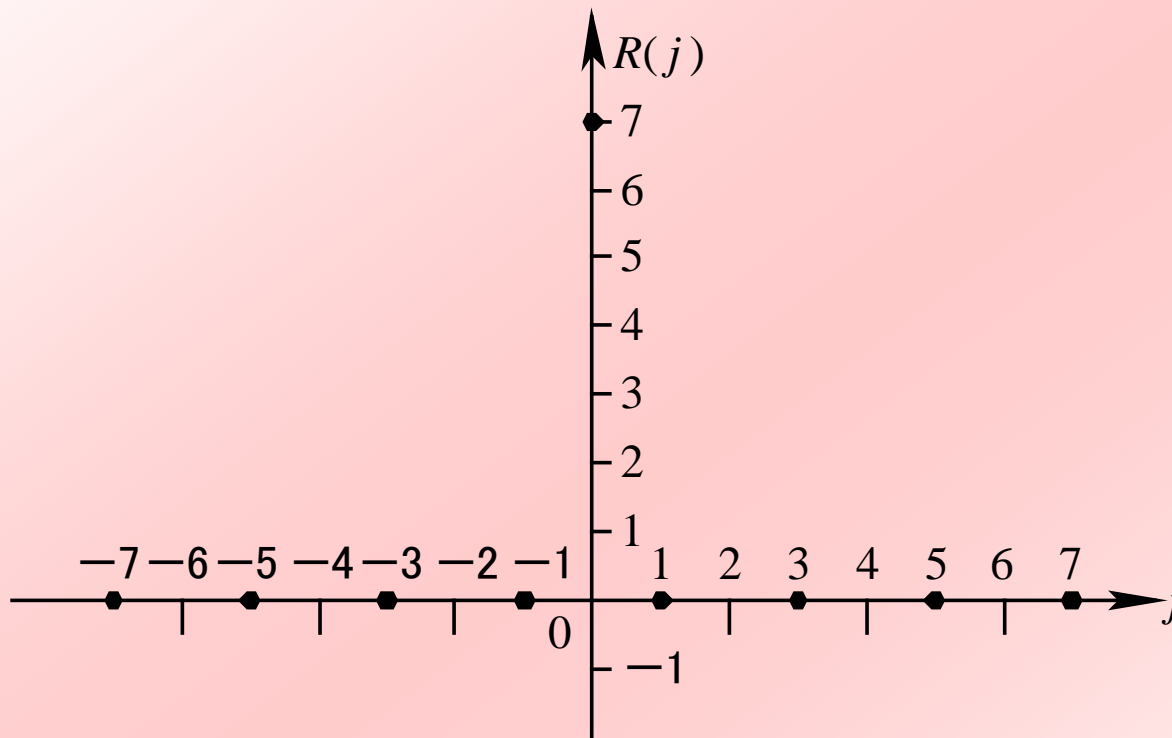


图 11 - 24 7位巴克码的自相关函数

## 2. 巴克码识别器

仍以7位巴克码为例。用**7级移位寄存器**、**相加器**和**判决器**就可以组成一个**巴克码识别器**，如图 11 - 25 所示。当输入码元的“1”进入某移位寄存器时，该移位寄存器的1端输出电平为+1，0端输出电平为-1。反之，进入“0”码时，该移位寄存器的0端输出电平为+1，1端输出电平为-1。**各移位寄存器输出端的接法与巴克码的规律一致**，这样识别器实际上是对输入的巴克码进行相关运算。当一帧信号到来时，首先进入识别器的是群同步码组，只有当7位巴克码在某一时刻（如图11- 26(a)中的t1）正好已全部进入7位寄存器时，7位移位寄存器输出端都输出+1，相加后得最大输出+7，其余情况相加结果均小于+7。若判别器的判决门限电平定为+6，那么就在7位巴克码的最后一位0进入识别器时，识别器输出一个同步脉冲表示一群的开头，如图 11 - 26(b)所示。

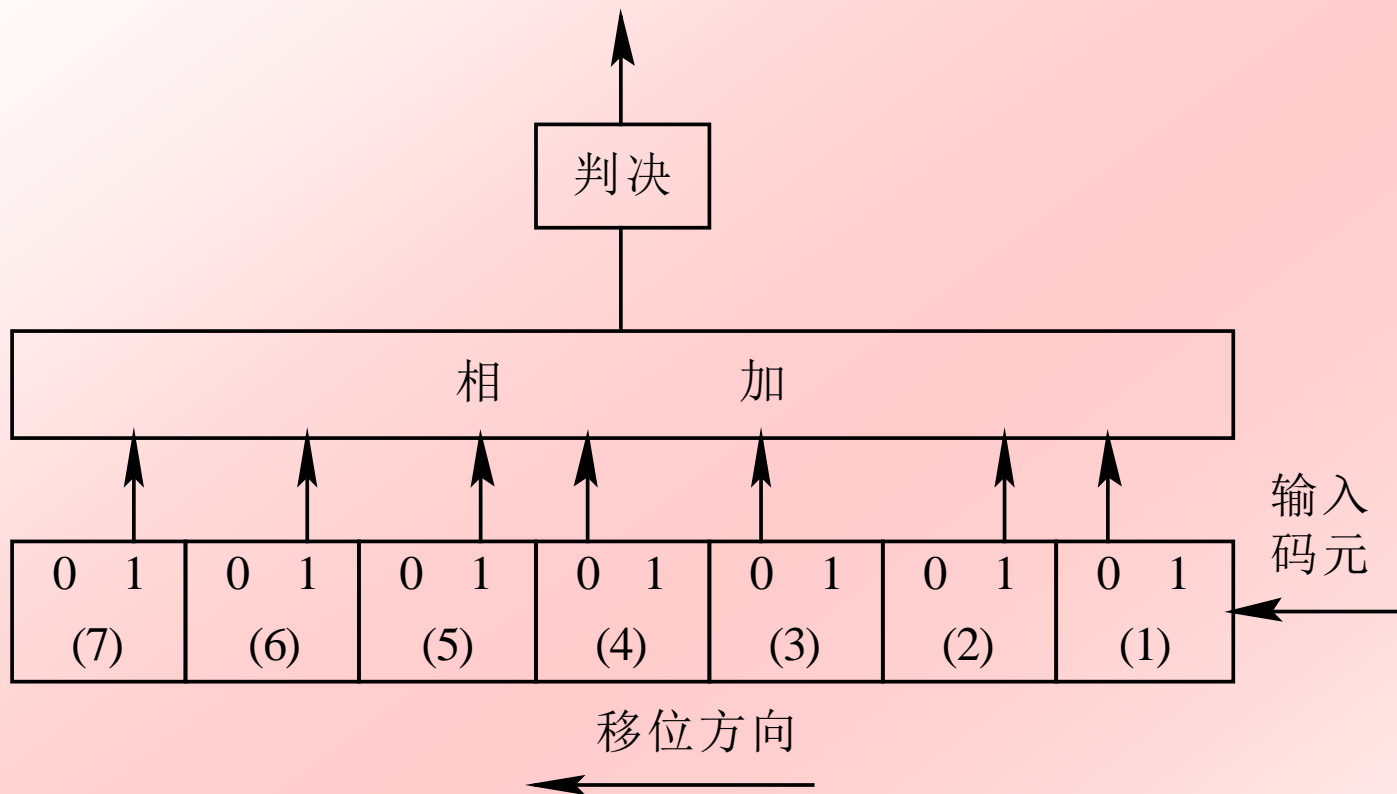


图 11 - 25 巴克码识别器

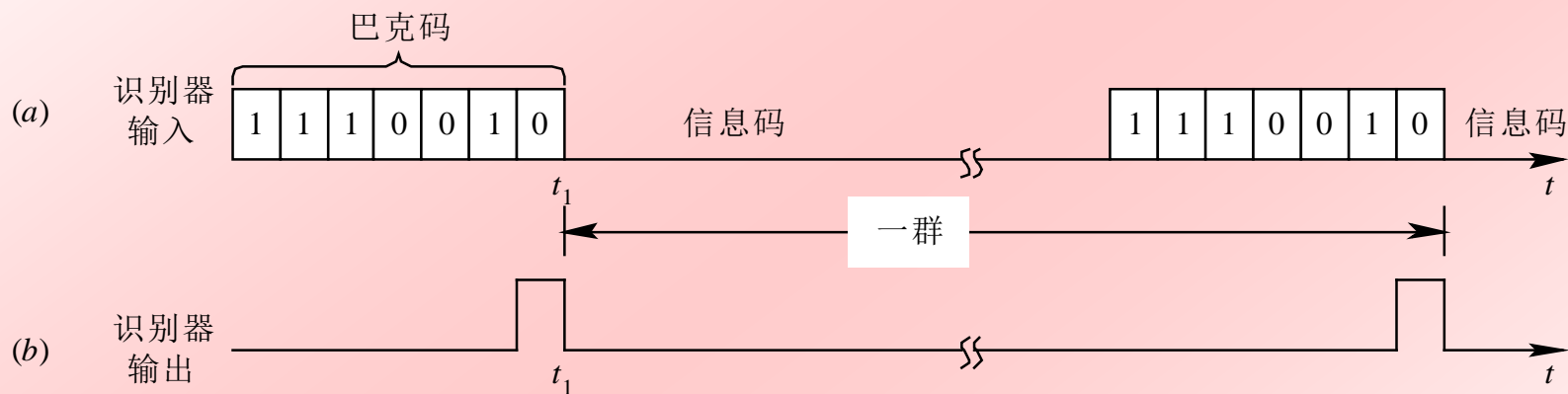


图 11 - 26 识别器的输出波形



巴克码用于群同步是常见的，但并不是惟一的，只要具有良好特性的码组均可用于群同步，例如PCM30/32路电话基群的连贯隔帧插入的帧同步码为0011011。

### 11.4.3 间隔式插入法

间隔式插入法又称为分散插入法，它是将群同步码以分散的形式均匀插入信息码流中。这种方式比较多地用在多路数字电路系统中，如PCM 24路基群设备以及一些简单的 $\Delta M$ 系统一般都采用1、0交替码型作为帧同步码间隔插入的方法。即一帧插入“1”码，下一帧插入“0”码，如此交替插入。由于每帧只插一位码，那么它与信码混淆的概率则为 $1/2$ ，这样似乎无法识别同步码，但是这种插入方式在同步捕获时我们不是检测一帧两帧，而是连续检测数十帧，每帧都符合“1”、“0”交替的规律才确认同步。

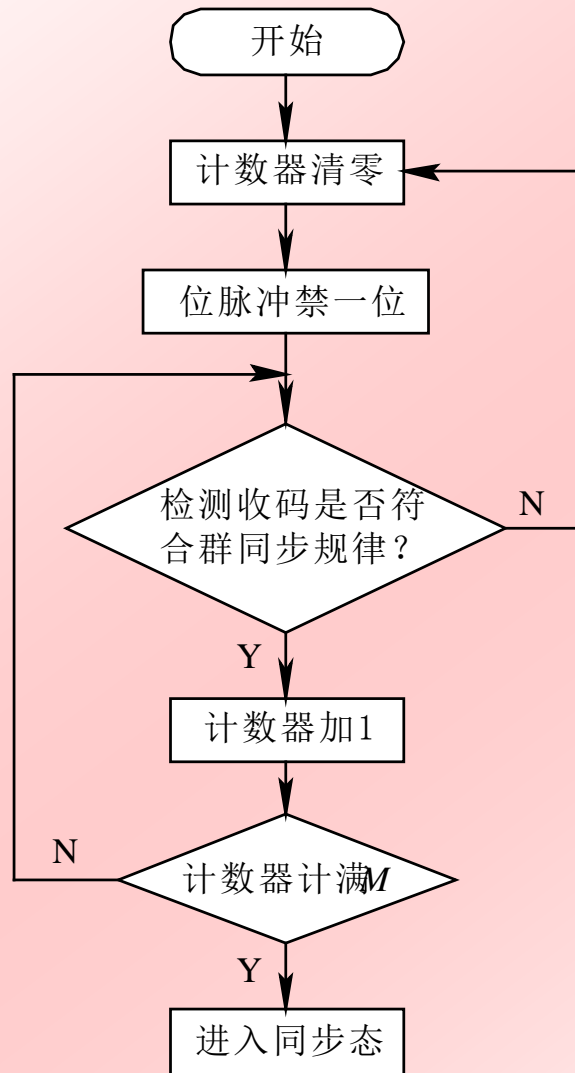
分散插入的最大特点是同步码不占用信息时隙，每帧的传输效率较高，但是同步捕获时间较长，它**较适合于连续发送信号的通信系统**，若是断续发送信号，每次捕获同步需要较长的时间，反而降低效率。

分散插入常用滑动同步检测电路。所谓滑动检测，它的基本原理是接收电路开机时处于捕捉态，当收到第一个与同步码相同的码元，先暂认为它就是群同步码，按码同步周期检测下一帧相应位码元，如果也符合插入的同步码规律，则再检测第三帧相应位码元，如果连续检测M帧（M为数十帧），**每帧均符合同步码规律，则同步码已找到**，电路进入同步状态。如果在捕捉态接收到的某个码元不符合同步码规律，则码元滑动一位，仍按上述规律周期性地检测，看它是否符合同步码规律，一旦检测不符合，又滑动一位.....如此反复进行下去。若一帧共有N个码元，则最多滑动（N-1）位，一定能把同步码找到。

滑动同步检测可用软件实现，也可用硬件实现。软件流程图如图 11 - 27 所示。图 11 - 28 所示为硬件实现滑动检测的方框图，假设群同步码每帧均为“1”码， $N$ 为每帧的码元个数， $M$ 为确认同步时需检测帧的个数。

图 11 - 28 中“1”码检测器是在本地群同步码到来时检测信码，若信码为“1”则输出正脉冲，信码为“0”则输出负脉冲。如果本地群码与收码中群同步码对齐，则“1”码检测器将连续输出正脉冲，计数器计满 $M$ 个正脉冲后输出高电位并锁定，它使与门3打开，本地群码输出，系统处于同步态。如果本地群码与收信码中群同步尚未对齐，“1”码检测器只要检测到信码中的“0”码，便输出负脉冲，该负脉冲经非门2使计数器 $M$ 复位，从而与门3关闭，本地群码不输出，系统处于捕捉态。

同时非门2输出的正脉冲延时 $T$ 后封锁一个位脉冲，使本地群码滑动一位，随后“1”码检测器继续检测信码，若遇“0”码，本地群码又滑动一位，直到滑动到与信息码中群同步码对齐，并连续检验 $M$ 帧后进入同步态。图 11 - 28 是群同步码每帧均为“1”，若群同步码为“0”、“1”码交替插入，则电路还要复杂些。



11-27 滑动监测流程

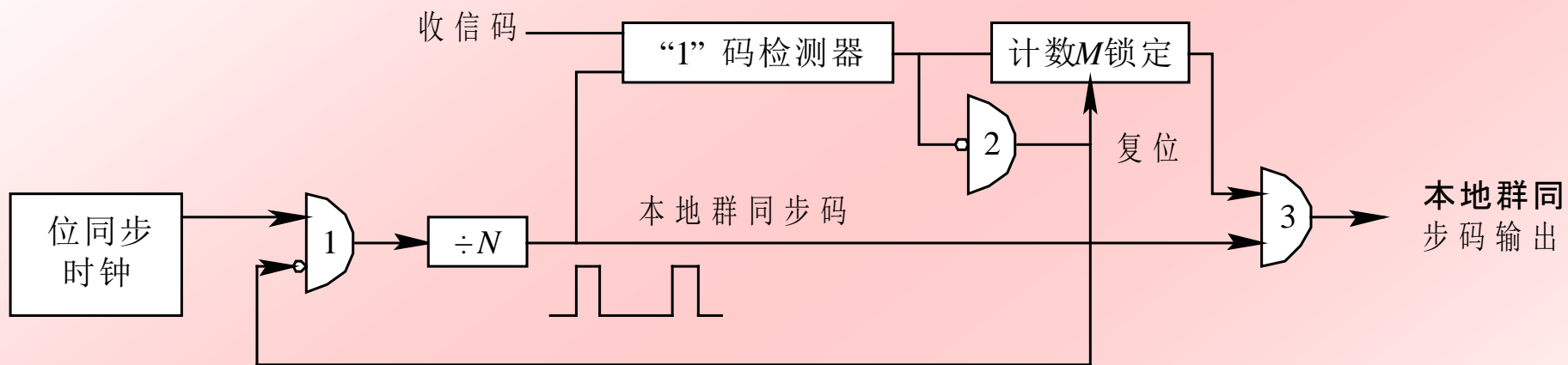


图 11 - 28 滑动同步检测

## 11.4.4群同步系统的性能

群同步性能主要指标是同步可靠性（包括漏同步概率 $P_1$ 和假同步概率 $P_2$ ）及同步建立时间 $t_s$ 。下面，我们主要以连贯插入法为例进行分析。

### 1. 漏同步概率 $P_1$

由于干扰的影响，接收的同步码组中可能出现一些错误码元，从而使识别器漏识已发出的同步码组，出现这种情况的概率称为漏同步概率，记为 $P_1$ 。以 $n$ 位巴克码识别器为例，设判决门限为6，此时7位巴克码只要有一位码出错，7位巴克码全部进入识别器时相加器输出由7变为5，因而出现漏同步。如果将判决门限由6降为4，则不会出现漏识别，这时判决器允许7位巴克码中有一位码出错。



漏同步概率与群同步的插入方式、群同步码的码组长度、系统的误码概率及识别器电路和参数选取等均有关系。对于连贯式插入法，设 $n$ 为同步码组的码元数， $P_e$ 为码元错误概率， $m$ 为判决器允许码组中的错误码元最大数，则 $P^r \cdot (1-P)^{n-r}$ 表示 $n$ 位同步码组中， $r$ 位错码和 $(n-r)$ 位正确码同时发生的概率。当 $r \leq m$ 时，错码的位数在识别器允许的范围之内， $C_n^r$ 表示出现 $r$ 个错误的组合数，所有这些情况，都能被识别器识别，因此未漏概率为

$$\sum_{r=0}^m C_n^r P^r (1-p)^{n-r}$$

故漏同步概率为

$$P_1 = 1 - \sum_{r=0}^m C_n^r P^r (1-p)^{n-r}$$

## 2.假同步概率 $P_2$

假同步是指信息的码元中出现与同步码组相同的码组，这时信息码会被识别器误认为同步码，从而出现假同步信号。发生这种情况的概率称为假同步概率，记为 $P_2$ 。

假同步概率 $P_2$ 是信息码元中能判为同步码组的组合数与所有可能的码组数之比。设二进制数字码流中, 1、0码等概率出现, 则由其组合成 $n$ 位长的所有可能的码组数为 $2^n$ 个, 而其中能被判为同步码组的组合数显然也与 $m$ 有关。如果错0位时被判为同步码, 则只有 $C_n^0$ 个(即一个); 如果出现 $r$ 位错也被判为同步码的组合数为 $C_n^r$ , 则出现 $r \leq m$ 种错都被判为同步码的组合数为 $\sum_{r=0}^m C_n^r$ , 因而可得假同步概率为

$$P_2 = 2^{-n} \sum_{r=0}^m C_n^r$$

比较式 (11.4 - 3) 和式 (11.4 - 4) 可见,  $m$  增大 (即判决门限电平降低),  $P_1$  减小,  $P_2$  增大, 所以两者对判决门限电平的要求是矛盾的。另外,  $P_1$  和  $P_2$  对同步码长  $n$  的要求也是矛盾的, 因此在选择有关参数时, 必须兼顾二者的要求。

### 3. 同步平均建立时间 $t_s$

对于连贯式插入法, 假设漏同步和假同步都不出现, 在最不利的情况, 实现群同步最多需要一群的时间。设每群的码元数为  $N$  (其中  $n$  位为群同步码), 每码元的时间宽度为  $T$ , 则一群的时间为  $NT$ 。在建立同步过程中, 如出现一次漏同步, 则建立时间要增加  $NT$ ; 如出现一次假同步, 建立时间也要增加  $NT$ , 因此, 帧同步的平均建立时间为

$$t_s \approx (1 + P_1 + P_2)NT \quad (11.4 - 5)$$

由于连贯式插入同步的平均建立时间比较短，因而在数字传输系统中被广泛应用。

## 11.4.5群同步的保护

同步系统的稳定和可靠对于通信设备是十分重要的。在群同步的性能分析中我们知道，漏同步和假同步都是影响同步系统稳定可靠工作的因素，而且漏同步概率 $P_1$ 与假同步概率 $P_2$ 对电路参数的要求往往是矛盾的。为了保证同步系统的性能可靠，提高抗干扰能力，在实际系统中要有相应的保护措施，这一保护措施也是根据群同步的规律而提出来的，它应尽量防止假同步混入，同时也要防止真同步漏掉。最常用的保护措施是将群同步的工作划分为两种状态，即捕捉态和维持态。

为了保证同步系统的性能可靠，就必须要求漏同步概率 $P_1$ 和假同步概率 $P_2$ 都要低，但这一要求对识别器判决门限的选择是矛盾的。因此，我们把同步过程分为两种不同的状态，以便在不同状态对识别器的判决门限电平提出不同的要求，达到降低漏同步和假同步的目的。

**捕捉态：** 判决门限提高， 即 $m$ 减小， 使假同步概率 $P_2$ 下降。

**维持态：** 判决门限降低， 即 $m$ 增大， 使漏同步概率 $P_1$ 下降。

连贯式插入法群同步保护的原理图如图 11 - 29 所示。在同步未建立时， 系统处于捕捉态， 状态触发器C的Q端为低电平， 此时同步码组识别器的判决电平较高， 因而减小了假同步的概率。

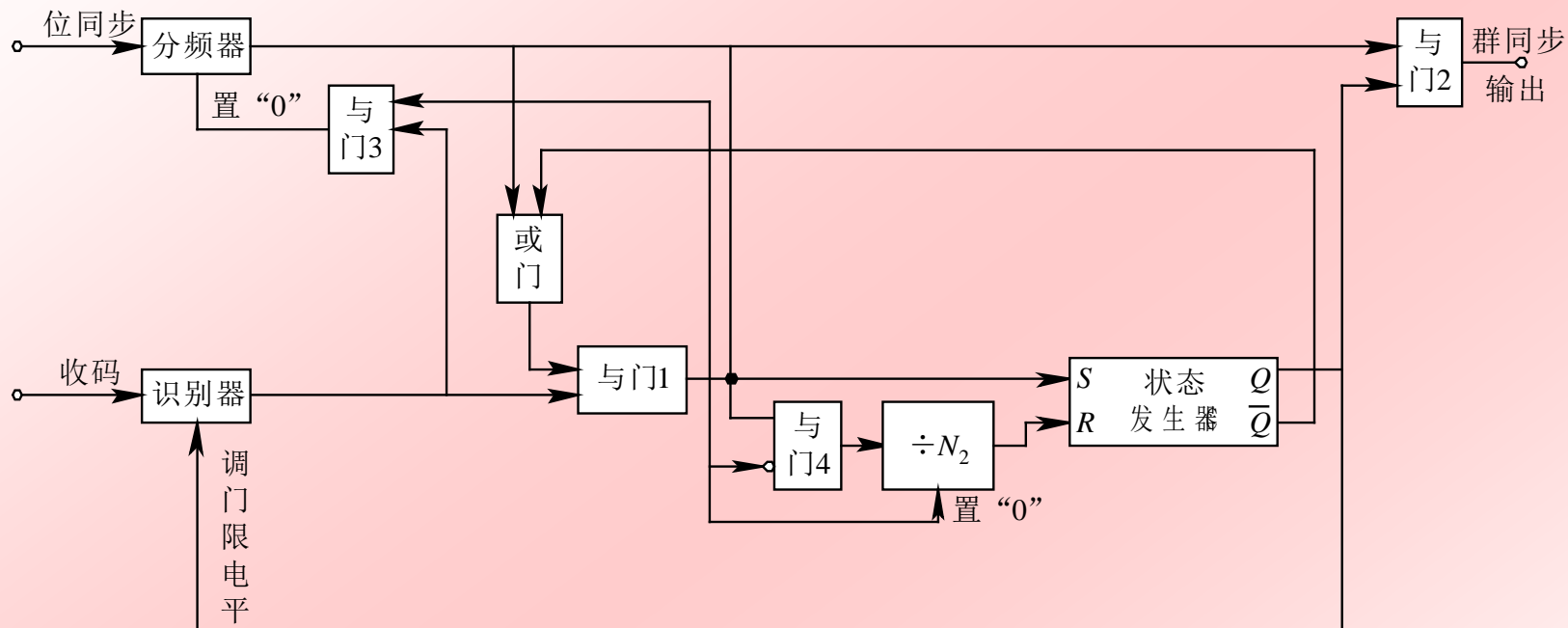


图 11 - 29 连贯式插入法群同步保护的原理图



一旦识别器有输出脉冲，由于触发器的-端此时为高电平，于是经或门使与门1有输出。与门1的一路输出至分频器使之置“1”，这时分频器就输出一个脉冲加至与门2，该脉冲还分出一路经过或门又加至与门1。与门1的另一路输出加至状态触发器C，使系统由捕捉态转为维持态，这时Q端变为高电平，打开与门2，分频器输出的脉冲就通过与门2形成群同步脉冲输出，因而同步建立。

同步建立以后，系统处于维持态。为了提高系统的抗干扰和抗噪声的性能以减小漏同步概率，具体做法就是利用触发器在维持态时Q端输出高电平去降低识别器的判决门限电平，这样就可以减小漏同步概率。另外同步建立以后，若在分频器输出群同步脉冲的时刻，识别器无输出，这可能是系统真的失去同步，也可能是由偶然的干扰引起的，只有连续出现 $N_2$ 次这种情况才能认为真的失去同步。



这时与门1连续无输出，经“非”后加至与门4的便是高电平，分频器每输出一脉冲，与门4就输出一脉冲。这样连续 $N_2$ 个脉冲使“ $\div N_2$ ”电路计满，随即输出一个脉冲至状态触发器C，使状态由维持态转为捕捉态。当与门1不是连续无输出时，“ $\div N_2$ ”电路未计满就会被置“0”，状态就不会转换，因此增加了系统在维持态时的抗干扰能力。

同步建立以后，信息码中的假同步码组也可能使识别器有输出而造成干扰，然而在维持态下，这种假识别的输出与分频器的输出是不会同时出现的，因而这时与门1就没有输出，故不会影响分频器的工作，因此这种干扰对系统没有影响。

# 作业

1、 2、 3、 5、 7、 8、 9